

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150544

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.<sup>8</sup>

H 0 4 L 12/28

12/26

H 0 4 Q 3/00

識別記号

F I

H 0 4 L 11/20

D

H 0 4 Q 3/00

H 0 4 L 11/12

審査請求 未請求 請求項の数17 O L (全 41 頁)

(21) 出願番号 特願平9-316989

(22) 出願日 平成9年(1997)11月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 的場 景介

福岡県福岡市博多区博多駅前三丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内

(72) 発明者 吉住 修孝

福岡県福岡市博多区博多駅前三丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内

(74) 代理人 弁理士 林 恒徳 (外1名)

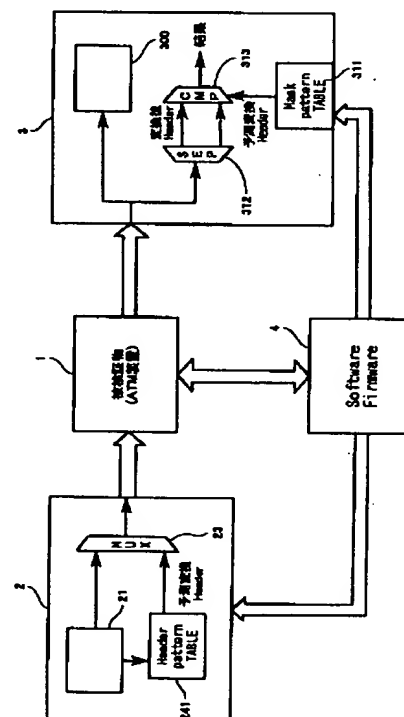
最終頁に続く

(54) 【発明の名称】 非同期転送モード装置の機能試験方法

(57) 【要約】

【課題】 ATM装置におけるヘッダ交換機能、品質制御機能、輻輳制御機能及び、スケジュール機能の自動検証を可能とする。

【解決手段】 クロスコネクト制御のために入力セルのヘッダを交換するヘッダ交換機能部と、廃棄優先度に従って入力セルを廃棄する品質制御機能部と、セルバッファの蓄積量が所定の閾値を超えた時、輻輳状態を表示する部と、セルバッファからのセルの読み出し順を制御するスケジュール機能部を有する非同期転送モード装置の機能試験方法において、非同期転送モード装置のそれぞれの機能部に対応する付加情報をセルのペイロードに付加して該非同期転送モード装置に入力し、非同期転送モード装置の出力されたセルの付加情報を抽出し、抽出された付加情報と、非同期転送モード装置の出力されたセルの状態とから、非同期転送モード装置の対応する機能部の正常性を判定する。



## 【特許請求の範囲】

【請求項 1】クロスコネク制御のために入力セルのヘッダを交換するヘッダ交換機能部と、廃棄優先度に従って入力セルを廃棄する品質制御機能部と、セルバッファの蓄積量が所定の閾値を超えた時、輻輳状態を表示する輻輳制御機能部と、該セルバッファからのセルの読み出し順を制御するスケジュール機能部を有する非同期転送モード装置の機能試験方法において、

該非同期転送モード装置のそれぞれの機能部に対応する付加情報をセルのペイロードに付加して該非同期転送モード装置に入力し、

該非同期転送モード装置の出力されたセルの付加情報を抽出し、該抽出された付加情報と、該非同期転送モード装置の出力されたセルの状態とから、該非同期転送モード装置の対応する機能部の正常性を判定することを特徴とする非同期転送モード装置の機能試験方法。

【請求項 2】請求項 1 において、

前記ヘッダ交換機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、変換予測されるヘッダの情報であることを特徴とする非同期転送モード装置の機能試験方法。

【請求項 3】請求項 2 の機能試験方法に使用されるセル発生器において、

前記ヘッダ交換機能部の機能試験のために、前記セルのヘッダ情報をペイロードにコピーして、該セルのペイロードに付加される付加情報とすることを特徴とするセル発生器。

【請求項 4】請求項 2 の機能試験方法に使用されるセル試験器において、

前記ヘッダ交換機能部の機能試験のために、セルに付加された予測変換ヘッダ情報を取り出す機能部と、変換マスクパターンを保持する機能部を有し、

該変換マスクによる指定がない箇所について、受信したセルの該予測変換ヘッダ情報と、該受信したセルのヘッダ情報との一致検証を行うことを特徴とするセル試験器。

【請求項 5】請求項 1 において、

前記輻輳制御機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、輻輳表示ビットの期待値であることを特徴とする非同期転送モード装置の機能試験方法。

【請求項 6】請求項 5 の機能試験方法に使用されるセル試験器において、

前記 ATM 装置からの出力されるセル中の輻輳表示ビットと、前記付加情報として付加された、輻輳表示ビットの期待値との比較判定部を有することを特徴とするセル試験器。

【請求項 7】請求項 6 において、更に、

前記比較判定部の比較において、不一致である時のセルを異常セルとして、カウントする手段と、

該カウント手段でカウントされた異常セルデータをロギングする手段を有することを特徴とする ATM セル試験器。

【請求項 8】請求項 1 において、

前記スケジュール機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、セルのクラス情報と、受信側で自セルと同じクラスの次のセルが何セル後に受信するべきであるという next 情報であることを特徴とする非同期転送モード装置の機能試験方法。

10 【請求項 9】請求項 8 の機能試験方法に使用されるセル試験器において、

有効セルを受信する毎に、該当クラスのセル間隔をカウントするカウンタと、該カウンタの値と該当クラスの前セルのペイロードに付加されてる next 情報とを比較して、クラス毎のセル間隔の正当性を検査する手段と、該カウンタの初期化と next 情報の保持を行い、空きセルを受信する毎に、該カウンタを +1 歩進させる手段を有することを特徴とするセル試験器。

【請求項 10】請求項 1 において、

20 前記スケジュール機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、セルのクラス情報と、受信側で自セルと同じクラスの前のセルが受信されてから何セル後に自セルが受信されるべきであるかという after 情報であることを特徴とする非同期転送モード装置の機能試験方法。

【請求項 11】請求項 10 の機能試験方法に使用されるセル試験器において、

有効セルを受信する毎に、該当クラスのセル間隔をカウントするカウンタと、

30 該カウンタの値と該当クラスの自セルのペイロードに付加されている after 情報とを比較して、クラス毎のセル間隔の正当性を検査する手段と、

該カウンタの初期化を行い、空きセルを受信する毎に該カウンタを +1 歩進させる手段を有することを特徴とするセル試験器。

【請求項 12】請求項 8 の機能試験方法に使用されるセル試験器において、

有効セルを受信する毎に、有効セル間のセル間隔をカウントするカウンタと、

40 該カウンタ野値と、前有効セルのペイロードに付加されていた next 情報とを比較し、有効セルのセル間隔の正当性を検査する手段と、

前有効セルのペイロードに付加されていた次クラス情報と自セルのクラス的一致を検査して、クラス間の干渉を判定する手段と、

該カウンタの初期化と、next 情報及び、次クラス情報の保持を行う手段と空きセルを受信する毎に該カウンタを +1 歩進制御する手段を有することを特徴とするセル試験器。

50 【請求項 13】請求項 8 又は、10 において、

## 3

前記セルのペイロードに付加される付加情報は、更に、受信側で単調増加するようにあらかじめ計算されたシーケンス情報を含むことを特徴とする非同期転送モード装置の機能試験方法。

【請求項14】請求項13において、前記非同期転送モード装置から出力されるセルのペイロードに付加されるシーケンス情報の単調増加を検査することを特徴とする非同期転送モード装置の機能試験方法。

【請求項15】請求項1において、前記品質制御機能部の試験のために、セルのペイロードに付加される付加情報は、前記非同期転送モード装置で廃棄されるセルを示す廃棄フラグであることを特徴とする非同期転送モード装置の機能試験方法。

【請求項16】請求項15において、付加情報として、廃棄されないセルにのみ、そのペイロードにシーケンスナンバーが付加されることを特徴とする非同期転送モード装置の機能試験方法。

【請求項17】請求項1において、前記輻輳制御部の試験のために、セルのペイロードに付加される付加情報は、輻輳表示ビットの期待値であり、前記非同期転送モード装置から出力されるセルのヘッダに付される輻輳表示ビットと、該付加情報であり、セルのペイロードに付加された輻輳表示ビットの期待値とを比較して、該輻輳制御部の正常性を判定することを特徴とする非同期転送モード装置の機能試験方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、ATM (Asynchronous Transfer Mode: 非同期転送モード) 技術を用いたATM装置の試験方法に関する。

##### 【0002】

【従来の技術】ATM装置は、クロスコネクトスイッチによりセルのパス切り替え制御を行うに先立って、基本機能として、セルのHeader (ヘッダ) を交換するヘッダ変換機能、速度変換用のセルバッファが、輻輳状態にあるかどうかを監視し、輻輳状態であれば、輻輳が発生したことを通知するために、出力セルのヘッダ部に、輻輳状態を設定する輻輳制御機能、輻輳状態である時に、所定の廃棄優先度に従ってセルを廃棄する品質制御機能及び、セルバッファの格納されるセルの読み出し順序を制御するスケジューラ機能を有する。

【0003】したがって、ATM装置において、かかる4つの機能が正常に動作していることが必要である。かかる点からATM装置が製品として出荷される際は、上記の基本機能の正常性の試験が行われている。図36は、一般的なATM装置の試験系の構成を示す図である。

【0004】図中、ATMセル発生器2は、ATM装置

## 4

1を試験するためのATM試験セルを発生する。ATMセル発生器2で発生されたATM試験セルは、ATM装置1に入力し、上記の基本機能を実行するヘッダ変換部10、品質制御部11、輻輳制御部12及び、スケジューラ14により、それぞれ対応する機能の処理が行われた後、出力されてセル試験器3に導かれる。

【0005】ここで、ATM装置1の上記基本機能について更に、説明すると、先ずヘッダ変換部10に入力されたATMセルは、ATM装置1に接続される図示しないクロスコネクト部でのセルスイッチング (パス切り替え) のために、ATMセルのヘッダ部が変換される。

【0006】ヘッダ部が変換されたATMセルは、速度変換用のセルバッファ13に書き込まれるが、これに先立って、品質制御部11及び輻輳制御部12の機能により、廃棄優先度に従ってセルを廃棄し、且つ輻輳状態にある場合に、セルを廃棄する。

【0007】ついで、速度変換用のセルバッファ13に書き込まれたATMセルは、スケジューラ14により、規定された読み出し指示にしたがって、読み出される。

【0008】このようなATM装置1の各機能に対する試験に対応して、セル発生器2は、発生するセルに試験用パターン、シーケンス番号、タイムスタンプ等を挿入する。そして、セル試験器3において、ATM装置1から出力されるセル中におけるこれらの同一性、時間経過等を見ることによりセルロス (セル欠落)、セルの重複、セルの個数、セルの遅延量の測定が行われる。

【0009】ここで、かかる試験に関連して、ATM装置1内での上記の各機能部の動作及び、問題点を、以下に考察する。

【0010】ATM装置1では、ハードウェア自律の、ATMセルに対するルーティングの機能を実現するために、装置内で縮退/変換アドレスを持つ。これをATMセルのヘッダ部に載せるための機能としてヘッダ変換機能を有する。

【0011】一般的には、入力セルに対するスイッチング (switching) あるいはルーティング (routing) 情報は、上位のソフトウェア・ファームウェアからハードウェア内のテーブルとして設定され、ハードウェアは、入力セルのセルアドレスからこのテーブルを参照し、セルのヘッダ部の変換を行う。

【0012】このヘッダ変換機能の試験を行うにあたっては、図37に示す試験構成をとる。被検証物である、ATM装置1のヘッダ変換部10に対し、上位のソフトウェア・ファームウェア4から、予めアドレス変換用テーブルの設定が行われる。セル発生器2において、ヘッダ部にセルアドレス情報を載せた試験セルを発生させ、被検証物に入力し、出力されたセルをセル試験器3において検証する。

【0013】一方、輻輳制御部12の輻輳制御処理により、ATM装置1内の速度変換用のセルバッファ部13

が、輻湊状態にあるかどうか監視される。セルバッファ部13が、輻湊状態であれば、輻湊が発生したことを通知するために、出力セルのヘッダ部に、輻湊状態を設定する。

【0014】図38は、かかる輻湊制御を更に説明する図である。ATM装置1の運用において、マルチメディアに対応するため、セル損失率や遅延時間の設定などが、それぞれ異なる「クラス」に区分けされている。したがって、クラス毎のセルのセルバッファ12の使用量に対して、図38(a)に示されるように、輻湊設定閾値A及び、輻湊解除閾値Bが設定される。

【0015】輻湊制御部11の輻湊制御処理として、入力セルに対して、クラス毎のセルバッファ使用量と輻湊設定閾値Aを比較する。そして、使用量が設定閾値Aを超えた場合は、輻湊状態にあると判断して、出力セルのヘッダ部に輻湊状態を設定する。この設定は、図38

(b)に示されるように、出力セルフォーマットのヘッダ部の輻湊状態表示ビットAを“1”にセットして表示する。

【0016】また、使用量が解除閾値Bを下回った場合は、輻湊状態ではなくなったと判断し、出力セルのヘッダ部の輻湊状態表示ビットAを、非輻湊状態“0”に設定する。

【0017】さらに、ATMセルを速度変換用としてのセルバッファ13からセルを読み出す際、適切な速度で読み出すように制御する必要がある。これを行うものがスケジューラ14である。スケジューラ14で、読み出し速度を制御することにより、後段の待ち行列(キュー)長を小さくできるなどの利点がある。

【0018】ここで、スケジューラ14の試験を行う際は、ある決められた時間中に、いくつかのセルが読み出されたかを測定することにより行われる。しかし、この方法では、セルの平均読み出し速度は測定できるが、セルの揺らぎを測定することができず、本当にスケジューラ14が正しく動作しているかが判らない。

【0019】また、ATMセルは、上記のようにマルチメディアに対応するために、セル損失率や遅延時間の設定などが、それぞれ異なる「クラス」に区分けされ、クラス毎に、速度変換用のバッファ13によるバッファリングを行って、読み出し速度が対応する速度に設定される。

【0020】そのため、スケジューラ14は、読み出し速度だけでなく、読み出すべきクラスも指定することになる。もし、複数のクラスで読み出し可能状態となった場合は、指定された論理でクラスが決定される。

【0021】これまでの試験装置では、クラスに関する試験は、クラス毎に設定された読み出し速度を、上記方法で試験している。そのため、やはりセル揺らぎが測定できない。また、複数クラスを読み出し可能とする場合も、日時の指定された論理が正しく機能したかを判別す

ることは困難である。

【0022】さらに、上記のクラスの導入により、必ずしもセルは入力された順に出てくるとは限らない。これは、同一クラスのセルの順番は保証されるが、異なるクラスのセルの順番は、スケジューラ14の設定次第で変化してしまうためである。

【0023】このために、入力時に単調増加するシーケンスナンバーを付加しても、同一クラス内のセル順序しか保証できない。よって、異なるクラスに拡張したセルロス(欠落)、セル湧きの試験は、セル受信個数を測定するしかなく、この場合はどのセルがセル欠落・セル湧きしたのが判らない。

【0024】さらに、品質制御部11の試験に関しては、セル発生器2からセルを投入後、セル試験器3でファームウェアによる品質廃棄カウンタをモニターする。そして、セルバッファ13の閾値による品質制御で廃棄されたセル数をカウントすることで品質制御の試験を確認が行われる。

【0025】しかし、廃棄されたセル数をカウントしているだけなので、いずれのセルが何時、廃棄されたかは判らず、また廃棄されたセルが、本来廃棄されるべきセルであったかも判らない。

【0026】

【発明が解決しようとする課題】上記のような、これまでの検証の方法では、セル試験器3における到着セルが、ATM装置1において、どのように変換されて到着するかを予測したものとの一致を検証して行うことにより実現される。しかし、現実にはATM装置1には、送信帯域の保証(品質保証)を行うための複数品質クラスによる、スケジューラ14によるスケジューリング機能を持っている。

【0027】セル発生器1から入力された順序とは異なる順序で、セル試験器3に到着することになる。このため、予測データは、セルが出てくる順序まで予測の上で作成することになり、検証は非常に困難な作業であった。

【0028】また、これまでのATM装置1の試験方法では、輻湊制御機能の自動試験は考慮されておらず、出力セルを目視で確認することによりを行っている。加えて、リアルタイムの確認ができないために、輻湊設定状態と出力セルの対応の確認が困難である。このために、目視確認による人為的ミスの発生や異常時のデバッグ作業が困難であるといった問題を生じる。

【0029】本発明の目的の一つは、輻湊制御機能の試験を、ハードウェアで自動チェックを行うことで、リアルタイムな完全機能試験を実施し、試験効率及び異常時のデバッグ効率を上げることにある。

【0030】さらに、スケジューラ14の試験については、限られた機能しか試験できていないために、本発明の第2の目的は、スケジューラの動作のうち、セル読み

出し間隔の試験、複数クラス読み出し可能時の論理の試験、異なるクラス間でのセル欠落・セル湧き・セル順序ミスの検出を可能とすることにある。

【0031】また、これまでは、廃棄されたセル数しか認識出来ない為、品質制御の試験では、どのセルがいつ廃棄されたかを認識することが出来ず、また、廃棄されたセルが本来廃棄されるべきセルなのかも認識出来ないといった問題がある。

【0032】したがって、本発明の更なる目的は、セル発生器2でセルを発生する際、有効セルで予め廃棄されるべきセルに、廃棄flag（フラグ）を付け、セル試験器3で受信したセルに、「廃棄フラグ」の立ったセルを受信しないことを自動的に確認することで、ATM装置1内の品質制御部11における、品質制御機能の正常性を確認出来るようにすることにある。

【0033】また本発明の別の目的は、セル発生器1でセルを発生する際、有効セルで廃棄されないセルにのみ追い番で、シーケンスナンバーを付け、セル試験器3で受信した全ての有効セルが、セル発生器1で発生したセルのシーケンスナンバーと一致することを自動的に確認することで、ATM装置内の品質制御の正常性を確認出来るようにすることにある。

【0034】さらにまた、本発明の別の目的は、セル発生器1で、セル内に期待値を付加することで、セル試験器3では自動的にATM装置1内の品質制御の正常性を正確かつ迅速に認識出来、品質面、試験効率面の向上を図ることにある。

#### 【0035】

【課題を解決するための手段】上記の本発明の課題を達成する、非同期転送モード装置の機能試験方法の基本構成は、クロスコネクト制御のために入力セルのヘッダを交換するヘッダ交換機能部と、廃棄優先度に従って入力セルを廃棄する品質制御機能部と、セルバッファの蓄積量が所定の閾値を超えた時、輻輳状態を表示する輻輳制御機能部と、セルバッファからのセルの読み出し順を制御するスケジュール機能部を有する非同期転送モード装置の機能試験方法であって、前記非同期転送モード装置のそれぞれの機能部に対応する付加情報をセルのペイロードに付加して非同期転送モード装置に入力し、この非同期転送モード装置の出力されたセルの付加情報を抽出し、抽出された付加情報と、非同期転送モード装置の出力されたセルの状態とから、非同期転送モード装置の対応する機能部の正常性を判定する。

【0036】かかる、非同期転送モード装置の機能試験方法において、セル発生器で前記ヘッダ交換機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、変換予測されるヘッダの情報である。

【0037】前記スケジュール機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、セルのクラス情報と、受信側で自セルと同じクラスの次の

セルが何セル後に受信するべきであるというnext情報である。あるいは、セルのクラス情報と、受信側で自セルと同じクラスの前のセルが受信されてから何セル後に自セルが受信されるべきであるかというafter情報である。

【0038】また、非同期転送モード装置の機能試験方法において、前記輻輳制御機能部の機能試験のために、前記セルのペイロードに付加される付加情報は、輻輳表示ビットの期待値である。

10 【0039】非同期転送モード装置の機能試験方法において、前記品質制御機能部の試験のために、セルのペイロードに付加される付加情報は、前記非同期転送モード装置で廃棄されるセルを示す廃棄フラグである。

#### 【0040】

【発明の実施の形態】以下本発明に従うATM装置の試験方法の実施の形態を、図面に従い説明する。なお、図において、同一又は、類似のものには同一の参照番号又は、参照記号を付して説明する。

20 【0041】ここで、上記したATM装置1における基本機能の実施の形態の個々について、説明するに先立ち、共通となるセル発生器2及びセル試験器3の構成例を説明する。

【0042】図1は、本発明の各実施の形態に共通するセル発生器2の基本構成を示す図である。図において、タイミング生成部20は、セル発生器2の各部に対応するタイミング信号及び、クロック信号を供給する回路である。

30 【0043】セル生成部21は、セル種別メモリとセル発生順序制御部22の制御により、セル種別メモリで決定されるセルを発生し、この制御によるセルの発生順序に従って送り出す機能を有する。

【0044】かかる構成は、これまでの試験方法による場合のセル発生器2の構成と同様である。本発明は、更に、セル生成部21からのセルに対し、後に説明する、本発明の被検証部位の試験に対応する付加情報を、ペイロードに付加する付加情報多重化部23と、付加情報発生部24を有する。さらに、この付加情報発生部24における処理の過程で発生する情報等を格納するメモリ25を備える。

40 【0045】付加情報発生部24は、ATM装置1内の被検証物の検証試験に対応する情報を生成するそれぞれの対応部位を有する。特に、付加情報発生部24は、ファームウェア4により設定されるテーブルの情報に基づいて、被検証物としてのヘッダ変換部10、品質制御部11、輻輳制御部12およびスケジューラ14に対する情報を生成する。

50 【0046】ファームウェア4により、付加情報発生部24のテーブルに設定する試験モード設定及び、セル種別メモリとセル発生順序制御部22に対するメモリ等の設定が行われる。

【0047】図2は、本発明の各実施の形態に共通するセル試験器3の基本構成を示す図である。図において、タイミング生成部30は、セル試験器3の各部に対応するタイミング信号及び、クロック信号を供給する回路である。

【0048】セル受信部31は、ATM装置1を経由したセルを受信する。そして、ファームウェア4の制御により、チェック機能部310～340のうち、対応する被検証物の検証試験に対応するチェック機能部が切替え選択され、受信セルが入力される。

【0049】切り替え選択されたチェック機能部では、到着セルのペイロードに付加された付加情報に基づき到着セルのヘッダの情報からATM装置1の対応する部位の正常性を判定する。さらに、各チェック機能部からの試験結果を、図示しない所定出力装置に通知する通知部32を有する。

【0050】〔ヘッダ変換部の機能検証〕図3は、本発明の第1の実施の形態としてのヘッダ変換部10の動作の検証方法の第1の実施例の概念構成を説明する図である。試験環境は、上位のソフトウェア・ファームウェア4から、予めアドレス変換用テーブル等の設定が行われる点で、図37と同様であるが、セル発生器2およびセル試験器3の構成が異なる。

【0051】すなわち、図1のセル発生器2の共通構成に対し、被検証物であるヘッダ変換部10の検証動作と関係しない部分は省略されているが、セル生成部21により生成されるセルに対し、付加情報発生部24のヘッダ変換情報部241のヘッダパターンテーブルからの予測変換ヘッダ情報が、付加情報多重化部23でセルのペイロードに付加される。

【0052】ヘッダ変換情報部241のヘッダパターンテーブルは、先に説明したように、ソフトウェア・ファームウェア4により、予測変換ヘッダ情報がセットされる。予測変換ヘッダ情報は、ATM装置1に入力するセルが、ATM装置1のヘッダ変換部10のヘッダ変換機能により、どのように変換されるかの情報（つまり、予測変換ヘッダパターンである。

【0053】一方、セル試験器3においては、図2におけるヘッダ変換チェック部310が選択される。ヘッダ変換チェック部310には、後に説明するマスクパターンテーブル311、受信したセルから変換後のヘッダ情報と予測変換ヘッダ情報を分離して取り出す回路312及び、それら2つのヘッダ情報を比較する比較回路313を有する。

【0054】かかる構成により、セル試験器3は、図37におけるセル試験器3の機能を有する機能ブロック300に加え、受信セルのヘッダ情報と、セル発生器2において、セルに付加された予測変換ヘッダパターンを取り出す機能を有する。さらに、セル試験器3には、被検証物であるATM装置1に、変換マスクパターンがファ

ームウェア4より設定される際に、同じ変換マスクパターンをファームウェア4から設定され、この変換マスクパターンを保持するテーブル30を有する。

【0055】したがって、セル試験器3は、セル到着時に、分離部312で、ヘッダ情報と、予測変換ヘッダパターンの二つを分離して取り出し、取り出された二つのヘッダパターンを、マスクパターンテーブル311で特定される変換マスクパターンの指定がない箇所（bit）についてのみ、比較回路313で一致検証を行う。

10 【0056】これにより、自動的に比較検証を行うことが可能となり、任意に、必要によりセル種別毎に設定されるマスクパターンに翻弄されることなく単純な比較ミスをなくすることができる。

【0057】上記構成で、比較回路313は、受信セル中の変換後のヘッダパターンと、予測変換ヘッダパターン情報を比較することで、ヘッダ変換部10のヘッダ変換機能の動作の正常性を確認する。この確認は、スケジューラ13のスケジューリング処理等に拘わらず、容易に行うことが可能である。

20 【0058】図4は、第1の実施の形態の第1の実施例におけるセル発生器2の構成例である。図5、図6は、第1の実施例におけるセル発生器2の動作フローである。

【0059】図5において、先ず動作開始により、セル発生器2の各部回路の初期化が行われる（ステップS1）。初期化後、ファームウェア4からファームウェアインタフェース200を通して、セルパターン・セル発生スケジュールを、それぞれセルパターンテーブル201、スケジュールテーブル202に書き込む（ステップS2）。

30 【0060】一方、ファームウェア4からファームウェアインタフェース200、テーブル制御部203を通して、セルパターン数分のヘッダ変換予測パターンが変換パターンテーブル204に書き込みされる（ステップS3）。

【0061】このヘッダ変換予測パターンは結果的に、ファームウェア4が被試験器であるヘッダ変換部10に指示したものと同一になる。

40 【0062】初期設定終了後、図6のフローにおいて、試験開始指示が出た場合、セル生成部21は、セル発生スケジュールテーブル202に格納された発生スケジュールにしたがって、セルパターンテーブル201を参照してセルを生成する（ステップS4）。ついで、テーブル制御部203は、セル生成部21で発生したセルのヘッダ情報の一部をアドレスとして、変換パターンテーブル204からデータを取り出す（ステップS5）。このデータは、ヘッダ変換予測パターンである。

50 【0063】セル生成部21によって発生されたセルは、待ち合わせのためにセルバッファ205に一旦蓄積される。このセルバッファ205に蓄積されたセルのペ

イロード部の一部に、テーブル制御部203によって取り出されたヘッダ変換予測パターンが、多重化部23で、多重化され（ステップS6）、ATM装置1に送られる。

【0064】ところで、被試験器であるATM装置10には、ヘッダ変換機能とスケジューリング機能を有する。ATM装置10では、入力セルを一旦バッファメモリに蓄積し、定められた帯域値により周期的に、バッファメモリからセルの読み出しを行う。基本的には等間隔で、セルを出力することになるが、セルに複数の品質クラスを与えられる場合は、品質毎にそれぞれの周期による読み出しを行う。

【0065】2つ以上の品質クラスの読み出しタイミングが同時に発生した場合は、優先度の高いクラスから先に読み出しを行い、低いクラスはその間、バッファメモリに大気される。かかる制御をスケジューリング機能と呼ぶ。

【0066】さらに、図7を用いて説明すると、ヘッダ変換部11でヘッダ変換されたセルは一度セルバッファ110に格納される。セルバッファ110からの読み出しはメモリ制御部111により管理される。メモリ制御部111は、スケジューラ112のスケジューリング機能により制御される。

【0067】たとえば、品質クラス1、2、3という3つのクラスのセルが流れる場合に、それぞれの帯域を品質クラス1は全体の1/4、品質クラス2は全体の1/8、品質クラス3は全体の1/16に設定されているものとする。品質クラスの優先順位は品質クラス1が最上位で品質クラス3が最下位である。

【0068】セルの入力は、全体的には帯域の許容範囲内でランダムに行われる。スケジューラ112は、品質クラス1については4セルおきに、品質クラス2については8セルおきに、品質クラス3については16セルおきに、セルバッファ110からの読みだしをメモリ制御部111に対して行う。

【0069】その際、もし、複数の品質クラスの読み出し周期が重なった場合は、より優先度が低いクラスはバッファメモリ110で、読み出しを待たされる。したがって、スケジューリングにより、セルの入力順序と出力順序は必ずしも一致しなくなる。ただし、品質クラス内のセルの順序は変わらない。

【0070】このため、これまでの試験方法では、出力されたセルがヘッダ変換部11で正しく変換されているか否かの判定を行うためには、たとえば、スケジューリングを予測して期待値一覧を作成するという方法や、セルにID等を付加しておき、チェック側でそのIDを基に変換表などを参照しながら、一つ一つの判定を行うなどの手間のかかる作業をおこなわなければ、判定は困難である。

【0071】これに対し、本発明ではATM装置1のヘ

ッダ変換機能による、予測変換ヘッダパターンを、セルの変換対象外の領域であるペイロードに予め付加しておく。これにより、チェックを行う際に、単純に受け取ったセル中の変換後のヘッダパターンと、予測変換ヘッダパターン情報を比較することにより、ヘッダ変換部10のヘッダ変換機能の動作の正常性確認を、上記のスケジューリング処理などを気にせず、容易に行うことが本発明により、可能となる。

【0072】図8は、かかる本発明によるヘッダ変換機能動作の正常性確認の機能を持ったセル試験器3の実施例を示す。図9、図10は、図8に対応する動作フローである。

【0073】まず、図9のフローにおいて、図8中の各部回路の初期化を行う（ステップS10）。次いで、ファームウェア4からファームウェアインタフェース301を通して試験器3の各部に対して、各種設定及び、テーブル制御部302を通して、マスクパターンテーブル311の設定を行う（ステップS11）。このマスクパターンテーブル311は、結果的に、ファームウェア4が被試験器3に指示したものと同一になる。

【0074】さらに、図10において、セルの到着時には、チェック回路300において、既存機能としてのセルの正常性のチェックを行う（ステップS12）。同時に、分離回路部312により、到着セルからヘッダ情報とヘッダ変換予測パターンの分離を行う（ステップS13）。

【0075】ついで、到着セルのモードに基づき、テーブル制御部302により、マスクパターンテーブル311から該当のマスクパターンを読み出す（ステップS14）。マスクパターンテーブル311から読み出したマスクパターンに従って、ステップS13で分離したヘッダ情報とヘッダ変換予測パターンの比較を行うステップS15）。この時、読み出したマスクパターンによってマスクされていない箇所のみ一致検証が行われる。

【0076】本実施例では、前記のセル発生器2による予測変換ヘッダパターンをセルのペイロードに、予め付加する機能を用いた上で、受け取ったセル中の変換後のヘッダパターンと、予測変換ヘッダパターン情報とを、マスクパターンを考慮したうえで比較することにより、自動的に判定が行われる。これにより人的な検証ミスを無くすることが可能である。

【0077】図11は、本発明の第1の実施の形態としてのヘッダ変換部10の動作の検証方法の第2の実施例の概念構成を説明する図である。

【0078】セル発生器2において、図3の第1の実施例と同様のセル生成部21を有するが、第1の実施例と異なり、セル生成部21で生成されるセルのヘッダ部を、当該セルのPayload（ペイロード）部にそっくり複写し、出力するコピー機能部242を有する。

【0079】一方、セル試験器3は、図37におけるセ



ル試験器3の機能を有する機能ブロック300を有する。さらに、ファームウェア4から被検証物であるATM装置1のヘッダ変換部10に与えられているヘッダ変換パターンを保持するテーブル314と、ファームウェア4から同様に設定され、変換マスクパターンを保持するテーブル311を有する。

【0080】そして、テーブル314に保持されているヘッダ変換パターンが、セル発生器2のコピー機能部242でセルのペイロード部にコピーされた、変換前のヘッダ情報から、取り出される。ついで、テーブル311に保持される変換マスクパターンのマスク指定のない部分についてのみ、比較器313により、テーブル314に保持されているヘッダ変換パターンと、受信分離されたヘッダ変換されたパターンを比較する。

【0081】これにより、ヘッダ変換部の機能の正常性を自動的に比較検証を行うことが可能である。

【0082】ここで、上記のマスクパターンの意義は、次の通りである。すなわち、ATM装置としてのATM交換機は、装置内でのハードウェア自律routingの理由等により、セルのヘッダ内の領域を変換する機能を有している。この変換対象のヘッダ内の領域は、サービスによって異なる。

【0083】この場合のサービスとは、VPサービス/VCサービス、Point to pointサービス/Point to multipoint サービス等である。

【0084】現在、それぞれサービスに対応して、変換対象のヘッダ内の領域が決まっているが、将来変更の可能性がある。したがって、マスク指定をレジスタ等に、ファームウェア・ソフトウェアで設定可能とすることにより、将来に変更に対して、対応が容易である。

【0085】図12は、図11の実施例に対応するセル発生器2の実施例構成のブロック図である。図13は、図11の実施例に対応するセル試験器3の実施例構成のブロック図である。

【0086】これらの動作において、初期設定、セルの発生までの手順は、図5と図6及び、図9と図10に示す第1の実施例に対応する動作フローにおけると同様である。したがって、セル生成部21、セル発生スケジュールテーブル202、セルパターンテーブル201及び、ファームウェアインタフェース200を有する構成は、第1の実施例の図4の構成と同じである。

【0087】ついで、図12では、セル生成部21でセルを生成後、ヘッダコピー部242において、セルのペイロード部にヘッダ情報をそのままコピーして、セルをATM装置1に送る。

【0088】一方、セル試験器2ではこのペイロード部に書かれたペイロードをもとに、変換後のヘッダ情報を調べ、実際に変換されたヘッダ情報が正しいかどうかの判定を行うことが容易にできる。

【0089】また、被検証器である、ATM装置1のヘ

ッダ変換部にてヘッダ変換されたセルが図13のセル試験器3に到着する。セル試験器3の初期設定は、セル発生器2の初期設定に加え、ATM装置1と同じヘッダ変換情報が、ファームウェア4からファームウェアインタフェース301を通して、テーブル制御部302の制御によりセル試験器3内のヘッダ変換パターンテーブル303に格納される。

【0090】セルが到着すると、ペイロード中の変換前ヘッダ情報を分離回路312で分離する。分離された変換前ヘッダ情報をアドレスとして、ヘッダパターンテーブル303を参照し、変換ヘッダパターンを取り出す。取り出したパターンと、到着セルのヘッダ情報をマスクパターンテーブル304のマスクパターンを考慮して、比較器313で比較検証を行い、正常性判定を行う。

【0091】本発明の機能を用いることで、ヘッダ変換機能の自動検証が可能となり、検証におけるチェックミス無くすることが可能となる。

【0092】[輻輳制御部の機能検証] 図14は、本発明の輻輳制御部12上記した問題を解決する、本発明の第2の実施の形態の概念構成を説明する図である。

【0093】セル発生器2は、ATM装置1に対して、任意の入力セルの発生が可能であり、ATM装置1からの出力セルは、セル試験器3に輸入され、ハードウェアにより期待値と比較照合される。

【0094】図14の実施の形態において、セル発生器2は、クラス毎の入力セル数即ち、セルバッファ13

(図36参照)の使用量と、輻輳設定閾値A及び輻輳解除閾値B(図38参照)より算出された、出力セルのヘッダ部に付与して期待される「輻輳状態表示ビット

(A)」を、入力セルのペイロード部に期待値Xとして予め設定する。したがって、設定される期待値Xは、ビット1:輻輳状態又は、ビット0:非輻輳状態である。

【0095】ATM装置1に輸入されたセルは、輻輳制御部12で、輻輳制御され、輻輳状態が発生した場合は、出力セルのヘッダ部に輻輳状態表示ビット(A)を、ビット"1"に設定する。

【0096】次に、セル試験器3において、出力セルのヘッダ部にATM装置1の輻輳制御部12で付与される「輻輳状態表示ビット(A)」の設定値Yと、セル発生器1でペイロード部に予め設定した「輻輳状態表示ビット(A)」の期待値Xとを比較する。一致すれば正常、不一致の場合は異常の判定を、セル試験器3内の、図示しない比較判定回路で自動チェックする。

【0097】かかる本発明の実施の形態によれば、輻輳制御機能試験をハードウェアで自動チェックすることで、目視確認による人為的ミスの防止や、リアルタイムの完全機能試験が実施できる。これにより試験効率の向上が図られる。

【0098】図15は、図14の実施の形態に対応するセル発生器2の一実施例構成図である。マイコンインタ



フェース部210は、図示しないCPUからのセルデータの設定を制御する。これは、先の第1の実施の形態で説明したようにファームウェアからファームウェアインタフェース200により設定するようにしてもよい。

【0099】セル組立部211は、マイコンインタフェース部210による設定により、送信セルデータを生成する。輻輳表示ビットの期待値挿入部212は、各クラス毎の入力セル数と、輻輳設定閾値A及び輻輳解除閾値Bより算出される輻輳表示ビット期待値を、セル組立部211で組み立てられたセルに対し、ペイロード部に埋め込む。

【0100】以上により生成されたセルは、セル送信部213よりATM装置1に向け出力される。

【0101】図16は、第2の実施の形態に対応するセル試験器3の一実施例構成図である。セル受信部320は、ATM装置1からの入力セルを受信する。輻輳表示ビット抽出部321は、受信セル中のヘッダ部の輻輳表示ビットとペイロード部の輻輳表示ビットを抽出する。受信セル中のヘッダ部の輻輳表示ビットは、ATM装置1の輻輳制御部12で付与されたビットであり、ペイロード部の輻輳表示ビットは、セル発生器2で期待値として予め埋め込まれたビットである。

【0102】この両者を比較器322で比較する。一致すれば正常、不一致の場合は異常の判定を行う。

【0103】図17は、セル試験器3の、更に別の実施例構成図である。図中、セル受信部320、輻輳表示ビット抽出部321及び比較器322は、図16の構成と同じである。図17の構成は、更に、異常セルカウンタ323を備え、比較器322で異常を検出した場合に、異常セル数をカウントする。異常セルロギング部324は、比較器322で異常を検出したセルデータをロギングするものである。異常セルカウント数及び、異常セルロギングデータ情報は、マイコンインタフェース部325により、図示しないCPUへ読み出される。

【0104】本実施の形態によれば、輻輳制御試験をハードウェアで自動チェックすることで、試験効率が向上し、また異常セルカウントや異常セルロギング機能により、輻輳制御異常時のデバッグ効率も向上する。

〔スケジューラの機能検証〕本発明の第3の実施の形態は、スケジューラ14の機能検証に特徴を有し、図18は、スケジューラ14の基本機能を説明する図である。図18は、本実施の形態に直接関連する、ATM装置1内にある速度変換用バッファ13と、スケジューラ14のみを示している。

【0105】今、不特定の速度で複数のセルが、バッファ13を構成するクラス別のFIFOメモリ130、131に入力される。入力される複数のセルは、スケジューラ14からのクラス毎の対応する読み出しクロックにより、順次読み出される。したがって、実施例として入力セル列Iは、出力セル列IIのように読み出される。

【0106】かかるスケジューラ14の基本機能に対し、図19は、本発明の実施例としての、スケジューラ14の試験方法を説明する図である。図19のスケジューラ14の実施例に対応して、セル発生器2の機能構成が、図20に示される。

【0107】図20のセル発生器2において、ファームウェア4からファームウェアインタフェース200を通して、セル情報メモリ24に格納される。セル情報メモリ24に格納されるセル情報は、セルの中に、自セルと同じクラスのセルが、受信側で次に何セル後に受信されるかという期待値(next)情報である。

【0108】セル生成部21は、セル情報メモリ24からかかるセル情報を読み出して、セルのペイロード部に付加して、出力する。例えば、図19に示す例では、最先のクラス0のセルにnext=6(6セル後に、次のセルが生じることを示す)が情報として付加される。次の、クラス1のセルには、next=2の情報が付加されている。

【0109】したがって、スケジューラ14の機能が正常であれば、図19において、セル試験器3に到着するセルにおいて、next=6の情報が付加されたクラス0のセルに続く、クラス0のセルは、6セル後に到着する。また、next=2の情報が付加されたクラス1のセルの2セル後に、クラス1のセルが到着する。

【0110】したがって、セル試験器3では、先のセルのnext情報と、次に到着する同一のクラスのセルが何セル後に到着しているかを比較することによりスケジューラ14の正常性を判定することができる。

【0111】かかるセル試験器3の機能を実現するために、試験器3は、実施例として、図21に示すように構成される。図21において、クラス毎(実施例として、クラス0と1)に、受信セルC0に付けられているnext情報C1が抽出され、セットされる受信レジスタ330、331、前有効セルの入力から現有効セルの入力までの、セル数をクラス毎に計数しているカウンタ334、335及び、受信レジスタ330、331のnext情報の値と、カウンタ334、335の値をクラス毎に比較する比較器332、333を有する。

【0112】したがって、有効セルC0を受信すると、該当クラスの前セルから現入力セルが、何セル後の受信であるかをカウントしているカウンタ334又は、335のカウント値と、対応するクラスの前有効セルのnext情報を保持するレジスタ330又は、331からロードされ、対応する比較器332又は、333で比較チェックする。

【0113】この比較チェック後、受信セルのnext情報C1を、次の比較チェックに備えて対応の比較器332又は、333に保持し、カウンタ334又は、335を初期化する。該当クラス以外のセル(空きセルを含む)の場合は、比較チェックは行わずに、カウンタ33

10

20

30

40

50

4又は、335を“1”インクリメントする。この動作を繰り返し行うことで、クラス別に動作するスケジューラ14の動作を完全に検証することができる。

【0114】図22は、スケジューラ14の試験検証の実施の形態における別の実施例を説明する図である。基本動作は、図19の実施例と同様であるが、異なる特徴は、次セルが何セル後に来るかの期待値ではなく、前セル受信後、何セル後に自分が受信されるべきかの情報(after)を使用する点にある。

【0115】したがって、図20において、説明したセル発生器2において、セルの中に、前セル受信後、何セル後に自分が受信されるべきかの情報(after)即ち、自セルと同じクラスのセルが、受信側で何セル前に受信されているべきかという期待値(after)C2をセル情報メモリ24から読み出し、セル化回路25でセルC0に付加する。

【0116】また、図23は、図22の実施例に対応するセル試験器3の構成例を示している。図23において、有効セルC0を受信の都度、該当クラスの前セルから現セルが何セル後であるかをカウントしているカウンタ336、337のカウント値と、自セルのafter情報C2をレジスタ338、339にセットして、一致するかどうかを比較チェックする。比較チェック後、対応するカウンタ336、227を初期化する。

【0117】該当クラス以外のセル(空きセルを含む)の場合は、比較チェックは行わず、カウンタ336、337を“1”インクリメントする。この動作を繰り返し行うことで、クラス別に動作するスケジューラの動作を完全に一致検証することができる。

【0118】図24は、スケジューラ13の試験検証の実施の形態において、図22の実施例を更に進めた実施例である。図25、図26は、それぞれ図24の実施例に対応するセル発生器2と、セル試験器3の実施例動作を説明する図である。

【0119】図25において、セル発生器2のセル生成部25は、セルの中に、受信側で前有効セル受信後、何セル後に自セルが受信されるべきかという期待値(after)C2を、セル情報メモリ24から読み出し、セルC0に付加する。同時に、その前有効セルのクラス情報(前クラス)C3と、その前有効セルのものに対し+1されている単調増加なシリアル番号SNである値C4を付加している。

【0120】セル試験器3は、図26に示すように、有効セルC0を受信したら、前有効セルから今のセルが何セル後であるかをカウントしているカウンタ340のカウント値と、自セルのafter情報C2がセットされるレジスタ341の値が一致するかどうかを比較チェック(CC)する。

【0121】また、自セルのクラスのレジスタ342からセットされ、前有効セルのクラスとして保持するレジ

スタ343の保持値と、自セルの前クラス情報C3がセットされるレジスタ344の値が一致しているかどうかを比較チェックする。また、自シリアル番号SNの値C4がセットされるレジスタ345の値と、前SNを保持しているレジスタ346の値を比較し、自SN番号の値C4が、前SNに対し、+1であるかどうかを検査する。

【0122】比較チェック後、カウンタ340を初期化し、自セルのクラスC3をレジスタ342からレジスタ343に保持する。空きセルを受信した場合は、比較チェックは行わず、カウンタ340を“1”インクリメントする。この動作を繰り返し行うことで、スケジューラの動作を、クラス間の干渉についても一致検証することができる。

【0123】上記図24の実施例においては、SN番号C4を比較することで、たまたまセルが入れ替わった結果、検証OKになることを防ぐ事ができる。また、本実施例の試験動作は、クラス数によらずに、1つの比較チェック機能回路を設けることで構成できる。

【0124】上記の図24の実施例は、図22の実施例を更に拡張したものであるが、after情報C2の代りにnext情報C1を、前セルクラス情報C3の代りに次セル情報を用いて、拡張することも可能である。

【0125】図27は、図24の実施例に対応する試験器3の詳細構成例ブロック図である。図26で説明した試験器3において、自クラス保持レジスタ342、前クラス保持レジスタ344、after情報保持レジスタ341及び、SN番号保持レジスタ345には、分離回路350により受信セルから分離された、自クラス、前クラス、after情報及び、SN番号がそれぞれ入力される。

【0126】さらに、タイミング回路351により有効セルと、無効セルのタイミングが抽出される。セル間隔カウンタ340は、タイミング回路351で抽出される有効セルのタイミングで1をロードし、抽出される無効セルのタイミングでカウンタ値を+1する。

【0127】さらに、タイミング回路351により抽出される有効セルのタイミングで、自クラス保持レジスタ342からセットされるクラス情報を、レジスタ343が、前有効セルのクラス情報として保持する。

【0128】同様に、タイミング回路351により抽出される有効セルのタイミングで、SN番号保持レジスタ342からセットされるSN番号を、レジスタ346が、前有効セルのSN番号として保持する。

【0129】比較器354は、前有効セルのクラス情報を保持するレジスタ343の出力と前クラス情報保持レジスタ344の出力とを比較する。また、比較器355は、after情報保持レジスタ341の出力と、ラッチ回路352によりラッチされるセル間隔カウンタ340の出力を比較する。さらに、SN番号保持レジスタ3

4 5 の出力と、前有効セルの SN 番号を保持するレジスタ 3 4 6 の値に + 1 をして比較器 3 5 6 で比較する。

【0 1 3 0】したがって、比較器 3 5 4、3 5 5 及び 3 5 6 のいずれかにおいて、不一致が検出される場合は、異常と判断される。

【0 1 3 1】図 2 8 乃至図 3 0 は、それぞれ上記図 2 4 乃至図 2 6 に対応する図であり、具体的数値例を当てはめた例である。

【0 1 3 2】セル発生器 2 において、図 2 9 に示すように、セル生成部 2 5 は、セル情報メモリ 2 4 にアドレス 0 ~ 3 に対応して各セルが、付加情報としてクラス 0、1 の区別、前セルのクラスがクラス 0、1 のいずれであるかの区別、対応するクラスの前セルから何セル後の受信であるかの情報及び、シリアル番号がテーブルにセットされている。したがって、セル発生器 2 から、テーブルのアドレス 0 ~ 3 の順に情報が付加されたセルが、ATM 装置 1 に向け送り出される。

【0 1 3 3】ATM 装置 1 では、スケジューラ 1 4 により、バッファメモリ 1 3 に一端格納されたセルが、シリアル番号順に、且つ、付加情報としてのセルのクラス、前クラス情報及び、after 情報に従い読み出される。

【0 1 3 4】図 2 8 に示す例では、SN = 4 のセルが、期待値よりも 1 セル早く受信された場合である。その場合のセル試験器 3 の状態を示したものが、図 3 0 である。

【0 1 3 5】セル試験器 3 は、有効セルを受信すると、自クラス情報、前クラス情報、after 情報、自 SN を抽出し、それぞれ対応するレジスタ 3 4 2、3 4 4、3 4 1 及び 3 4 5 にセットする。続いて、各情報の比較を行う。

【0 1 3 6】レジスタ 3 4 4 の前クラス情報と、レジスタ 3 4 3 の前クラス保持値との比較において、ともに "1" なので、正常となる。レジスタ 3 4 1 の after 情報と、セル間隔カウンタ 3 4 0 の値との比較において、after 情報 = 3、セル間隔カウンタ 3 4 0 の値 = 2 なので、異常である。

【0 1 3 7】レジスタ 3 4 5 の自 SN と、レジスタ 3 4 6 の SN 保持値に 1 を加えた値は、自 SN = 4、SN 保持値 = 3 なので、正常となる。

【0 1 3 8】上記 3 つの比較結果がすべて正常ならば、前有効セルとの関係は正常であったと判定される。どれか一つでも異常であった場合は、スケジューラ動作に問題があるといえる。

【0 1 3 9】なお、最初に受信される有効セルの場合、前有効セルが存在しないので、上記チェックは、行われない。チェック終了後は、以下の保持情報の更新を行う。

【0 1 4 0】前クラス保持レジスタ 3 4 3 に、レジスタ 3 4 2 の自セルのクラスをロードする。図 2 8 の例の

場合、前クラス保持レジスタ 3 4 3 に、0 がロードされる。

【0 1 4 1】ついで、セル間隔カウンタ 3 4 0 に "1" をロードする。また、SN 保持レジスタ 3 4 6 に、レジスタ 3 4 5 の自 SN をロードする。図 2 8 の例の場合、4 がロードされる。なお、セル試験器 3 は、空きセルを受信した場合、チェック動作は行わず、セル間隔カウンタ 3 4 0 を + 1 するだけである。

【0 1 4 2】このように、スケジューラの動作の完全な確認を、簡単な構成で実現することができる。

【0 1 4 3】〔品質制御部の機能検証〕図 3 1 は、本発明の第 4 の実施の形態であり、品質制御部 1 1 の機能検証を行う点に特徴を有する。この実施の形態に対応するセル発生器 2 及びセル試験器 3 の概念構成図が、それぞれ図 3 2、図 3 3 に示される。

【0 1 4 4】図 3 1 において、廃棄フラグ付加部 2 0 0 は、セル発生器 2 において、試験セルを発生させるにあたり、あらかじめ有効セルで廃棄されるセルに「廃棄フラグ」を付加する機能部である。

【0 1 4 5】さらに、シーケンスナンバー付加部 2 0 1 は、有効セルで廃棄されないセルにのみ、シーケンスナンバーを付加する機能部である。したがって、セル生成部 2 0 3 において、セルのペイロード部に廃棄フラグを付加されたセルと、シーケンスナンバーを付加されたセルが順次出力される。

【0 1 4 6】セル発生器 2 から発生した試験セルが、ATM 装置 1 内で品質制御部 1 3 により制御され、セル試験器 3 に入力し、セルデータ到着部 3 0 0 で受信される。セル試験器 3 の廃棄フラグチェック部 3 0 1 は、セルデータ到着部 3 0 0 に受信されたセルに廃棄フラグがセットされていないことをチェックする。また、シーケンスナンバーチェック部 3 0 2 では、受信した有効セルの全てについて、セル発生器 2 のシーケンスナンバー付加部 2 0 1 で付加したシーケンスナンバーと、シーケンスナンバーチェック部 3 0 2 で順次歩進するシーケンスナンバーとの一致を確認をする。

【0 1 4 7】本実施の形態において、セルを発生する際、試験セル発生部 2 0 3 で、廃棄フラグ付加部 2 0 0 とシーケンスナンバー付加部 2 0 1 からの情報を元に期待値付きセルを発生する。

【0 1 4 8】セル発生器 2 から出力したセルデータは、ATM 装置 1 内の品質制御部 1 1 を経て、セル試験器 3 に流れる。セルデータ到着部 3 0 0 に到着したセルデータは、それぞれ廃棄フラグチェック部 3 0 1 とシーケンスナンバーチェック部 3 0 2 で期待値との照合をとる。廃棄フラグチェック部 3 0 1 では、廃棄フラグの立ったセルを受信しないことを確認することで ATM 装置 1 の品質制御の正常性を認識出来る。

【0 1 4 9】また、シーケンスナンバーチェック部 3 0 2 では、セル発生器 2 から発生したセルのシーケンスナ

ンバーと一致していることを確認することで、ATM装置1の品質制御の正常性を認識出来る。

【0150】このように、セル発生器2で期待値をセルに付加することで、セル試験器3では自動的にATM装置1内の品質制御の正常性を、正確かつ迅速に認識出来、品質面、試験効率面の向上が図られる。

【0151】図32は、図31に対応するセル発生器2の実施例構成図である。ATM装置1内のセルバッファ13の閾値が“5”の時の例を示している。この時のセルバッファ13のカウントアップ動作を図35に示す。

【0152】セルバッファ13の閾値が“5”なので、有効セルが5つまでは、セルバッファ13に書かれることになる。それ以降入力する有効セルについては、廃棄フラグ付加部200でセルに「廃棄フラグ」をセットする。「廃棄フラグ」をセットされたセルデータは、図中、(4-g)と(4-i)の試験セルである。また、セルバッファ13に書かれる5つの有効セルに関しては、廃棄されないで、図中、シーケンスナンバー付加部201でセルにシーケンスナンバーを追い番で付加する。シーケンスナンバーが付加されたセルデータが、図中、(4-a)、(4-b)、(4-d)、(4-e)、(4-f)の試験セルである。図33は、品質制御部11に対する、セル試験器3の実施例構成図で、ATM装置1の品質制御部11で制御されたセルデータが、図中、セルデータ到着部300に入力される。到着したセルデータは、図中、廃棄フラグチェック部301で廃棄フラグのチェックをする。

【0153】廃棄フラグのセットされたセルデータはATM装置1の品質制御部11で廃棄されてははずなので、廃棄フラグのセットされたセルがないことを自動的に確認する。

【0154】ATM装置1の品質制御部11で廃棄されたセルは、図中、(8-g)、(8-i)のセルデータであり、廃棄されたセルデータは無効セルとなる。これより、廃棄ポイントと閾値による品質制御部11の正常性の確認が自動的に出来る。

【0155】また、図中、シーケンスナンバーチェック部302では、到着した有効セルのシーケンスナンバーをチェックする。図32のセル生成部203で発生したセルのシーケンスナンバーと、一致の確認を自動的に行い、品質制御部11の正常性確認が出来る。

【0156】このように、セル発生器2で期待値をセルに付加することで、セル試験器3では自動的にATM装置1内の品質制御部の正常性を、正確かつ迅速に認識出来、品質面、試験効率面の向上が図られる。

【0157】図34は、図31の実施の形態に対応する、セル試験器3を中心とする詳細実施例構成のブロック図である。

【0158】セル発生器2において、セル廃棄表示ビットF(1は廃棄されるべきセル、0は廃棄されないセ

ル)と、シーケンス番号Seq-No. (廃棄されないセルに付加される一連の番号)が、セルのペイロード部に付加される。

【0159】これを、ATM試験器1を通して、受信するセル受信部300を有する。セル受信部300の出力は、セル廃棄Flag表示ビット抽出部301、Seq-No.表示ビット抽出部302に導かれる。

【0160】セル廃棄Flag表示ビット抽出部301のF=0の検知出力タイミングで、アンドゲート303を通して、廃棄されないセルのSeq-No.がレジスタ304にセットされる。

【0161】マイコンインタフェース部305を通して、図示しないCPUから送られる廃棄されないセルのSeq-No.の期待値がレジスタ306にセットされる。したがって、比較器307は、レジスタ304と306のSeq-No.を比較し、一致しない時、異常として、マイコンインタフェース部305を通して、図示しないCPUに送られる。

【0162】また、セル廃棄Flag表示ビット抽出部301でF=1の検知した時、フリップフロップ306がセットされる。したがって、フリップフロップ306がセット状態になった時、即ちF=1のとき、廃棄すべきセルが試験器3に到着していることになる。異常と判断され、同様に、マイコンインタフェース部305を通して、図示しないCPUに送られる。

【0163】

【発明の効果】以上、図面にしたがって、本発明の実施の形態を説明したように、本発明によれば、第1に、ATM装置1ヘッダ変換機能の動作の正常性確認をスケジューリング処理などを気にせず、多種多様なパターンに感わされることなく、容易にかつ確実に品証試験を行うことが可能となる。この結果、製品の品質の向上につながる。

【0164】第2に、輻輳制御機能試験をハードウェアでオートチェックすることで、目視確認による人為的ミスの防止や、異常時のデバッグ作業が容易に実施できる効果を奏し、試験効率の向上及び異常時のデバッグ効率の向上に寄与するところが大きい。

【0165】第3に、本発明に従うスケジュール試験の方法によれば、簡単な構成のセル発生器と、セル試験器により、且つ事前に用意した期待値を用いることにより、スケジュール動作の完全な一致検証を行うことができる。その結果、スケジューラの信頼性が向上する。

【0166】第4に、廃棄フラグ、及びシーケンス番号を付加することにより、容易に、ATM装置における品質制御機能を検証することが可能である。

【図面の簡単な説明】

【図1】本発明の各実施の形態に共通するセル発生器2の基本構成を示す図である。

【図2】本発明の各実施の形態に共通する試験器3の基

10

20

30

40

50

本構成を示す図である。

【図 3】本発明の第 1 の実施の形態としてのヘッダ変換部 10 の動作の検証方法の第 1 の実施例の概念構成を説明する図である。

【図 4】第 1 の実施の形態の第 1 の実施例におけるセル発生器 2 の構成例である。

【図 5】第 1 の実施例におけるセル発生器 2 の初期設定までの動作フローである。

【図 6】第 1 の実施例におけるセル発生器 2 の初期設定以降の動作フローである。

【図 7】スケジューリング機能を説明する図である。

【図 8】本発明によるヘッダ変換機能動作の正常性確認の機能を持ったセル試験器 3 の実施例を示す図である。

【図 9】図 8 に対応する動作フローであり、初期設定までを示す図である。

【図 10】図 8 に対応する動作フローであり、初期設定以降の動作を示す図である。

【図 11】本発明の第 1 の実施の形態としてのヘッダ変換部 10 の動作の検証方法の第 2 の実施例の概念構成を説明する図である。

【図 12】図 11 の実施例に対応するセル発生器 2 の実施例構成のブロック図である。

【図 13】図 11 の実施例に対応するセル試験器 3 の実施例構成のブロック図である。

【図 14】本発明の輻輳制御部 12 上記した問題を解決する、本発明の第 2 の実施の形態の概念構成を説明する図である。

【図 15】図 14 の実施の形態に対応するセル発生器 2 の一実施例構成図である。

【図 16】第 2 の実施の形態に対応するセル試験器 3 の一実施例構成図である。

【図 17】セル試験器 3 の、更に別の実施例構成図である。

【図 18】第 3 の実施の形態に直接関連する、ATM 装置 1 内にある速度変換用バッファ 13 と、スケジューラ 14 のみを示している。

【図 19】本発明の実施例としての、スケジューラ 14 の試験方法を説明する図である。

【図 20】図 19 のスケジューラ 14 の実施例に対応して、セル発生器 2 の機能構成を示す図である。

【図 21】第 3 の実施の形態におけるセル試験器 3 の実施例を示す図である。

【図 22】スケジューラ 14 の試験検証の実施の形態における別の実施例を説明する図である。

【図 23】図 22 の実施例に対応するセル試験器 3 の構

成例を示す図である。

【図 24】スケジューラ 13 の試験検証の実施の形態において、図 22 の実施例を更に進めた実施例である。

【図 25】図 24 の実施例に対応するセル発生器 2 の実施例動作を説明する図である。

【図 26】図 24 の実施例に対応するセル試験器 3 の実施例動作を説明する図である。

【図 27】図 24 の実施例に対応する試験器 3 の詳細構成例ブロック図である。

10 【図 28】図 28 は、図 24 に対応する図であり、具体的数値例を当てはめた例である。

【図 29】図 29 は、図 25 に対応する図であり、具体的数値例を当てはめた例である。

【図 30】図 30 は、図 26 に対応する図であり、具体的数値例を当てはめた例である。

【図 31】本発明の第 4 の実施の形態であり、品質制御部 11 の機能検証を行う点に特徴を有する。

【図 32】図 31 に対応するセル発生器 2 の実施例構成図である。

20 【図 33】品質制御部 11 に対する、セル試験器 3 の実施例構成図である。

【図 34】図 31 の実施の形態に対応する、セル試験器 3 を中心とする詳細実施例構成のブロック図である。

【図 35】セルバッファ 13 のカウンタアップ動作を示す図である。

【図 36】ATM 装置及び、一般的な ATM 装置の試験系の構成を示す図である。

【図 37】ATM 装置のヘッダ変換機能の試験構成を説明する図である。

30 【図 38】ATM 装置の輻輳制御を説明する図である。

【符号の説明】

1 ATM 装置

2 セル発生器

3 セル試験器

4 ファームウェア

10 ヘッダ変換部

11 品質制御部

12 輻輳制御部

13 セルバッファ

40 14 スケジューラ

21 セル生成部

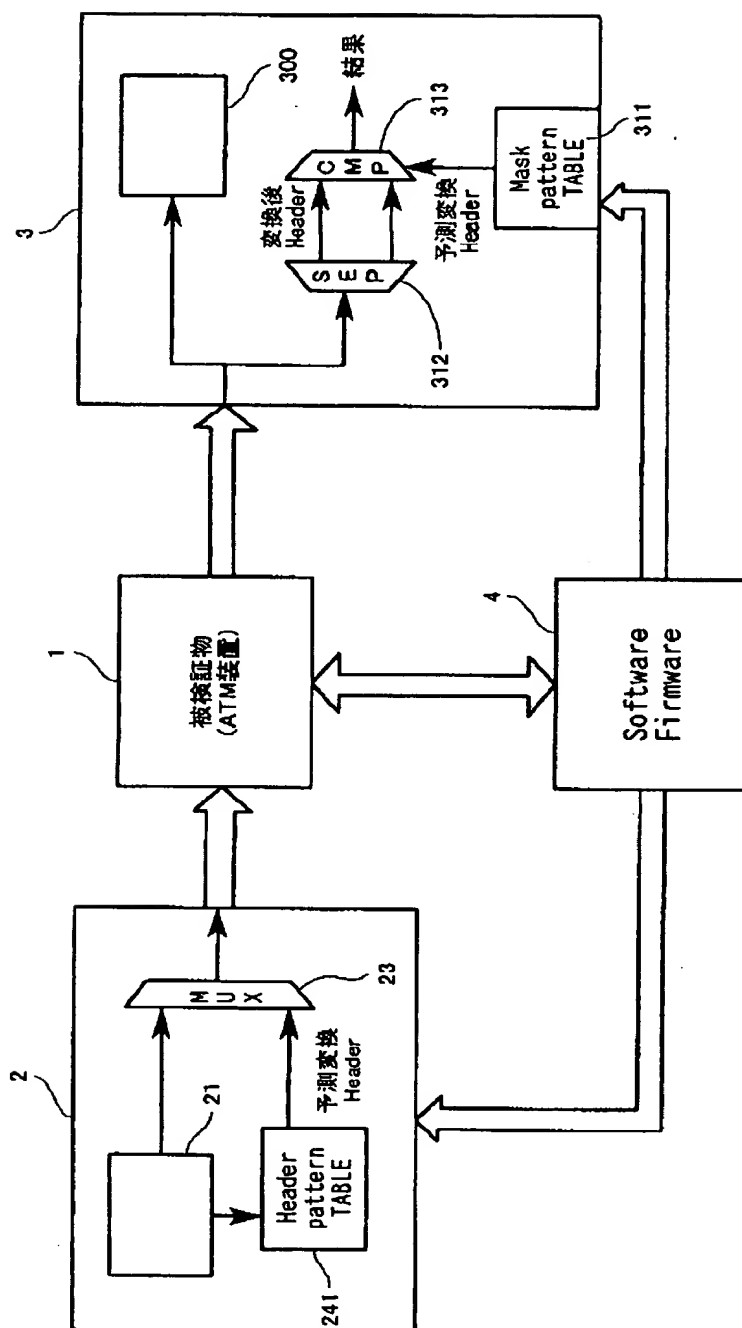
22 セル種別メモリ／セル発生順序制御部

23 付加情報多重化部

```

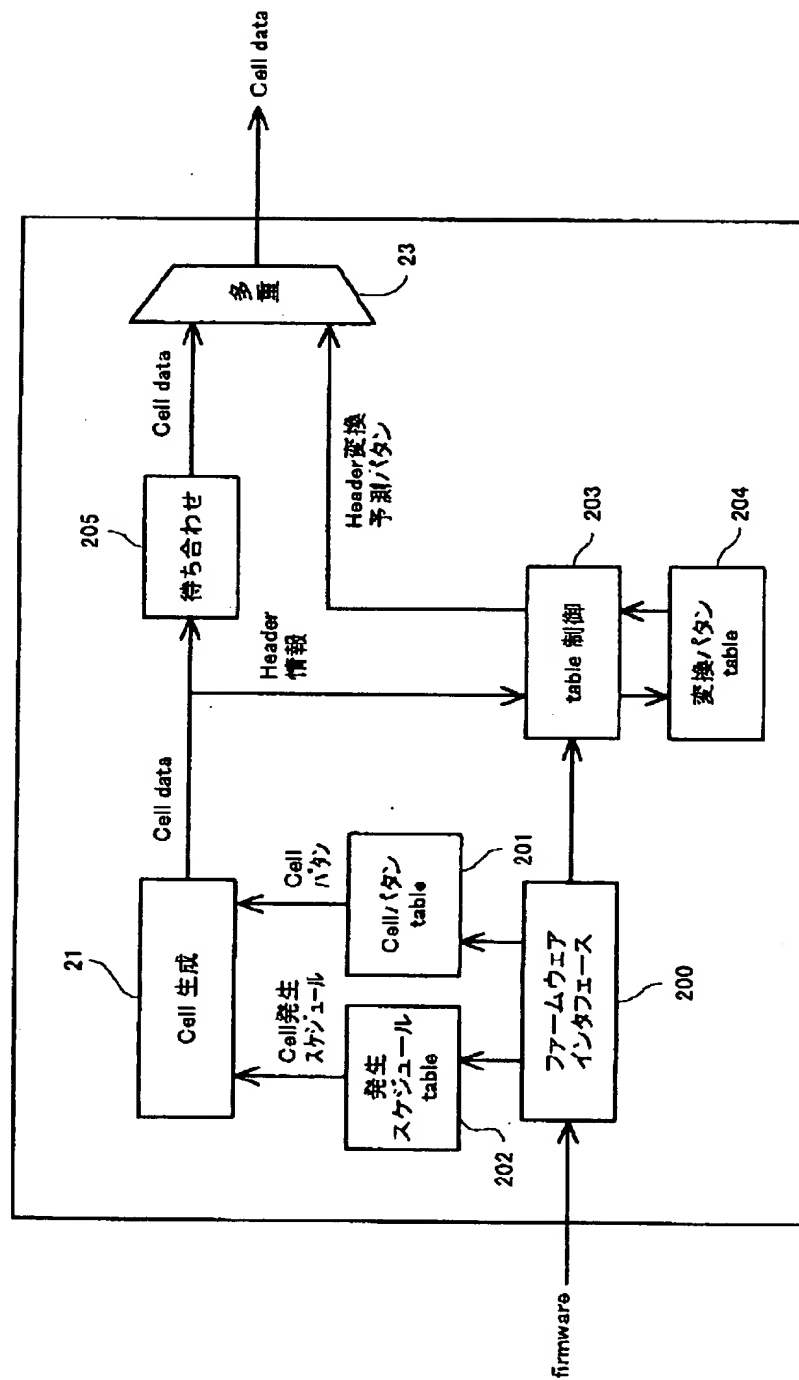
graph LR
    ATM[From ATM装置] --> 31[セル受信]
    30[タイミング生成部] --> 300
    300 --> 32[試験結果通知部]
    32 --> 320[試験モード設定メモリ等設定]
    320 --> 32
    320 --> 4[FIRMWARE]
    4 --> 320
    subgraph 3 [ ]
        direction TB
        300[セルロス・重複・個数・遅延チェック部  
Header変換チェック部  
輻輳チェック部  
品質チェック部  
スケジューラチェック部]
    end
    31 --> 300
    300 --> 32
    300 --> 320
    300 --> 330
    300 --> 340
    
```

【図3】

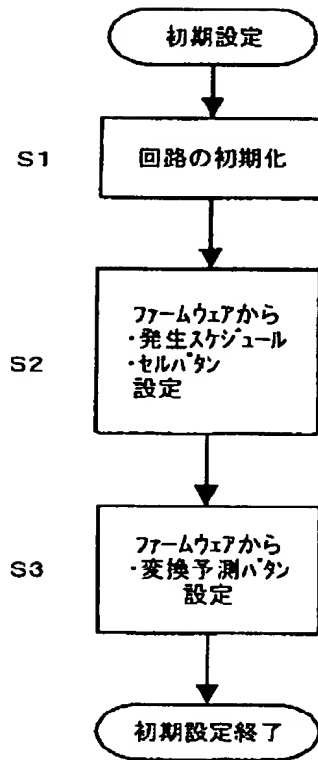




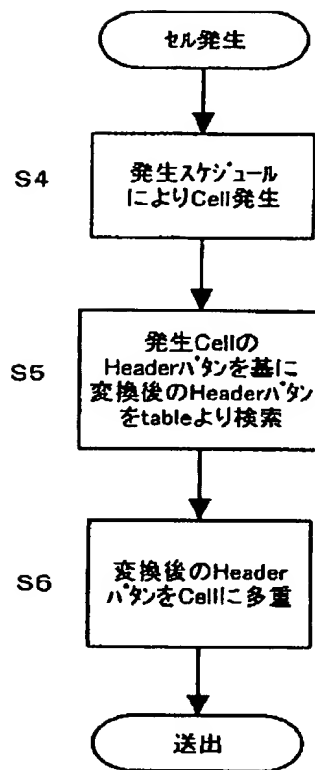
【図4】



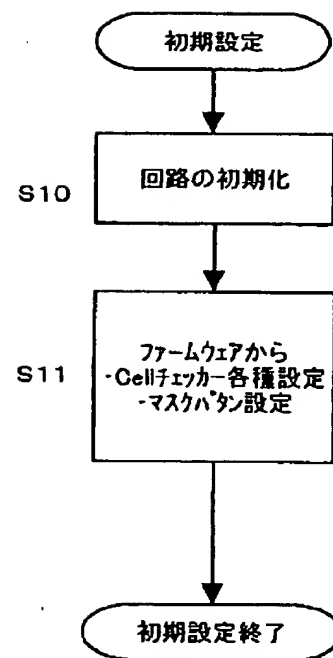
【図5】



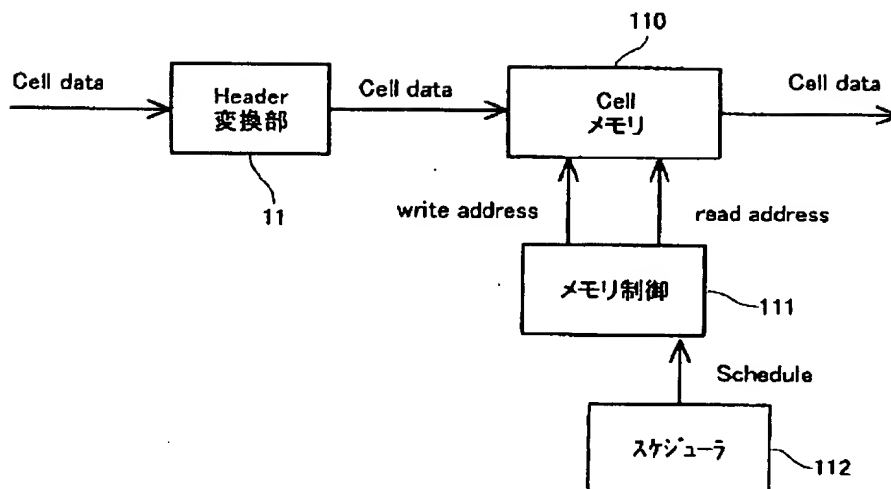
【図6】



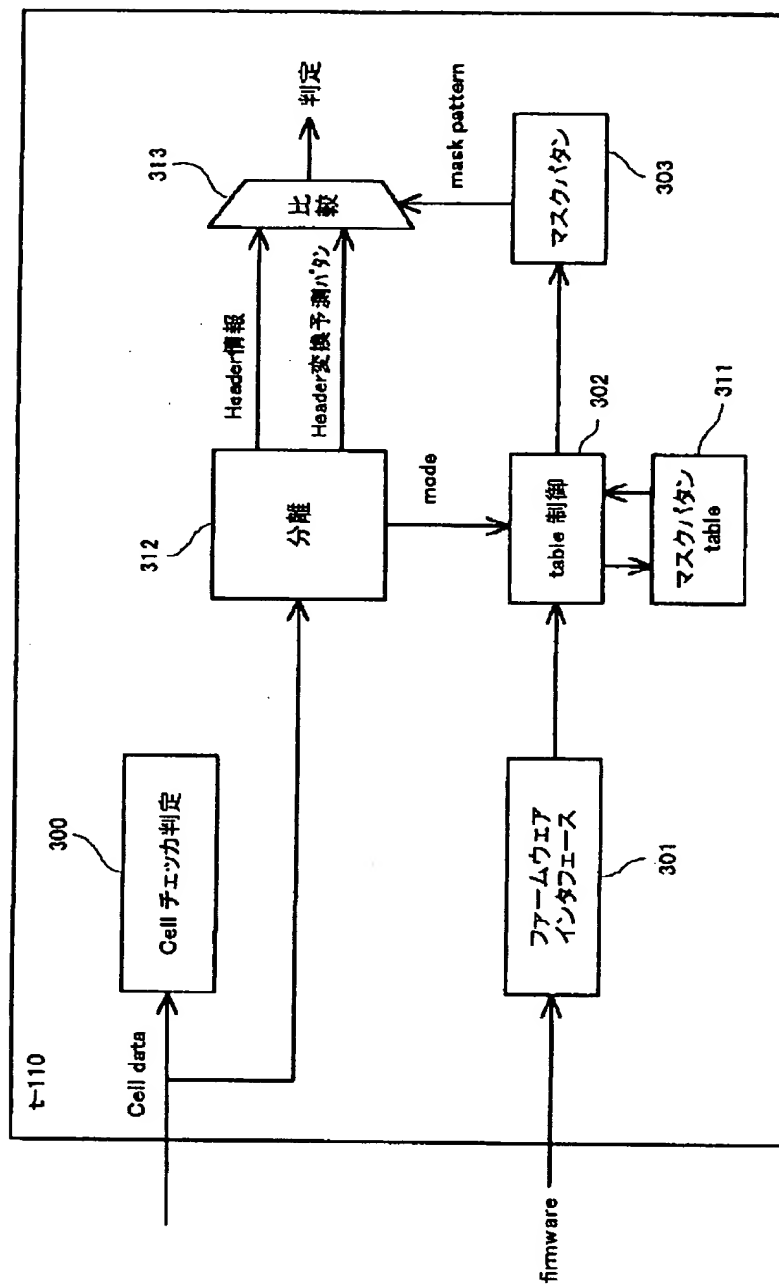
【図9】



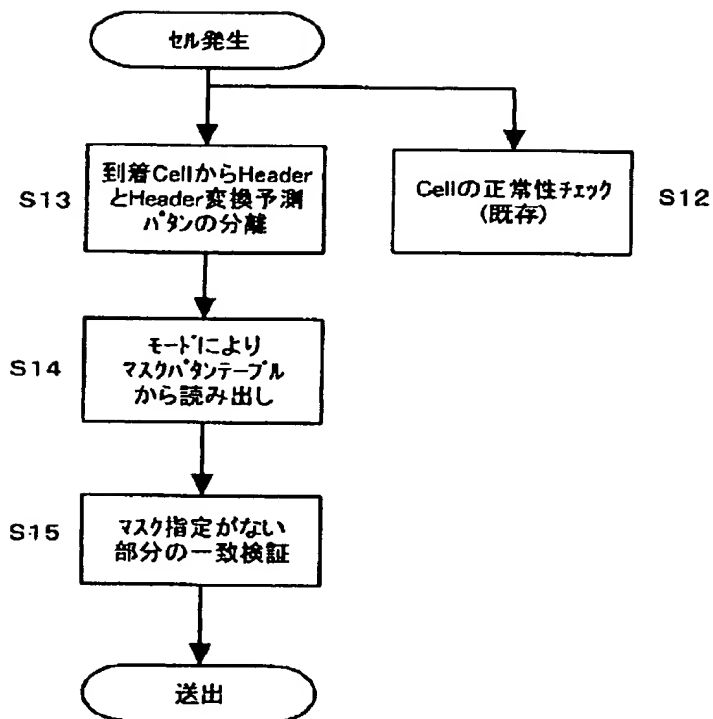
【図7】



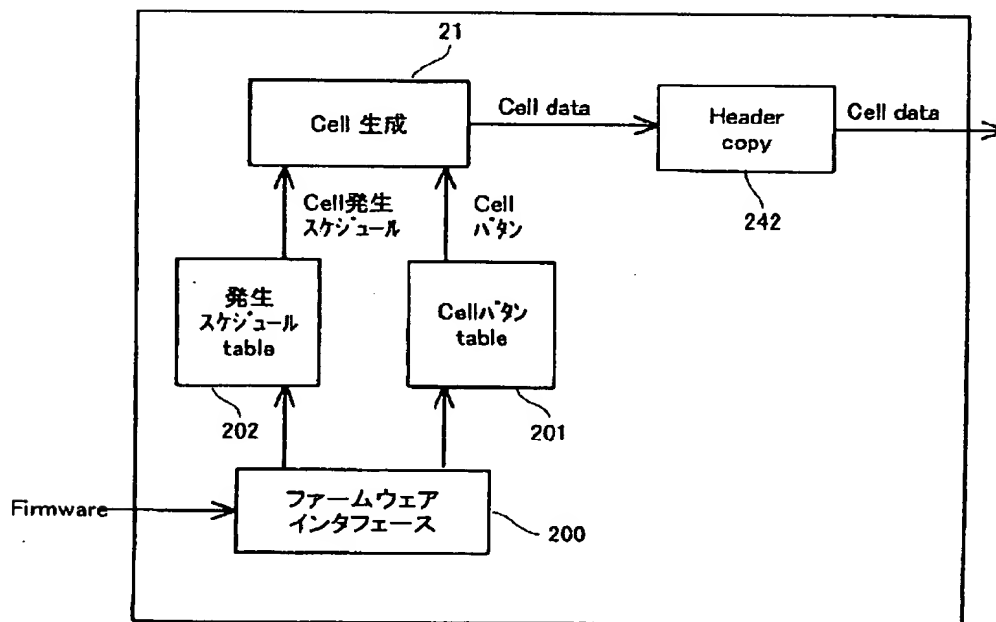
【図8】



【図10】

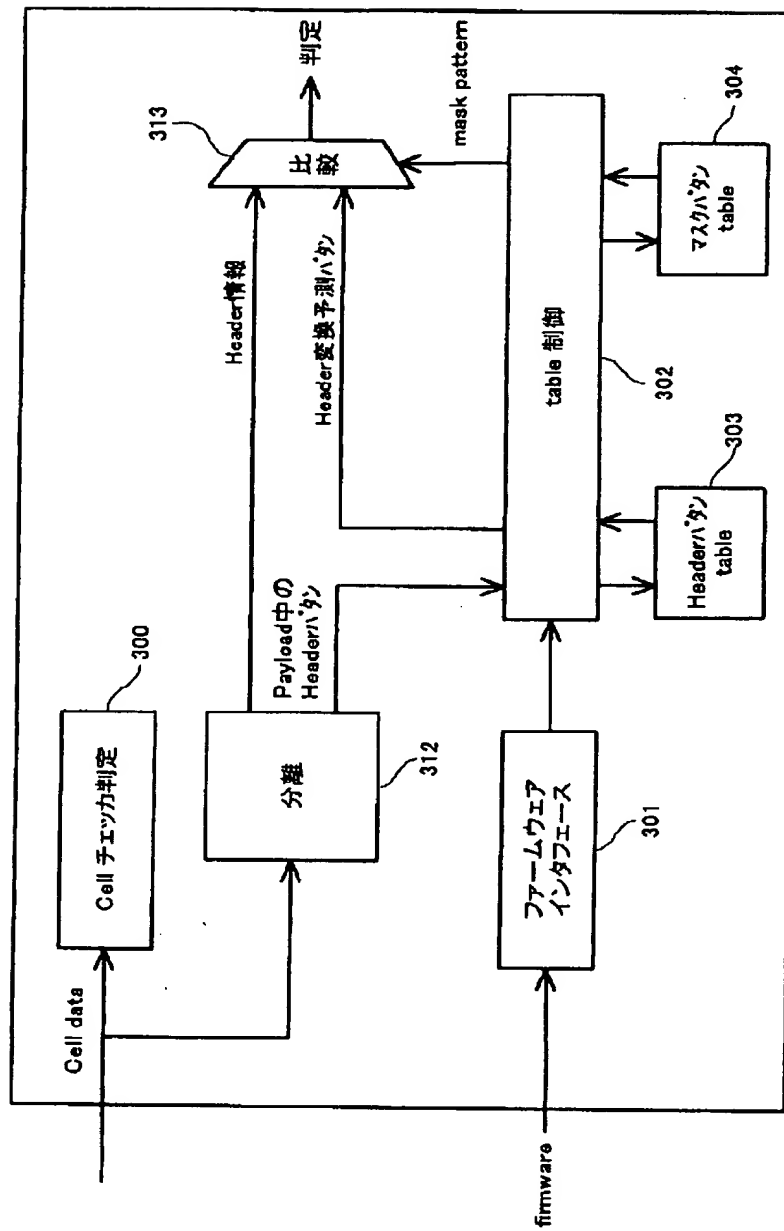


【図12】

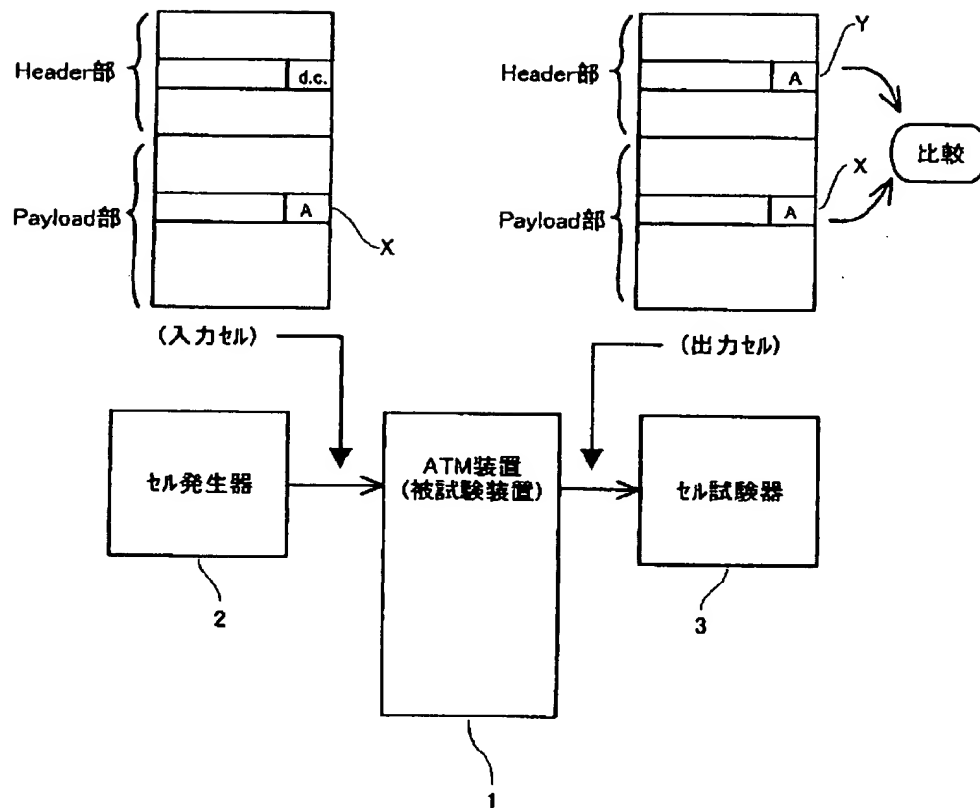




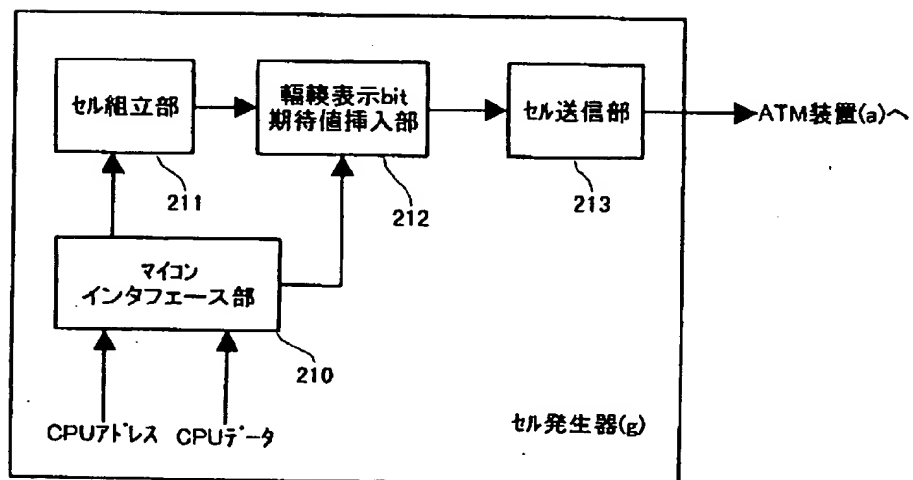
【図13】



【図14】

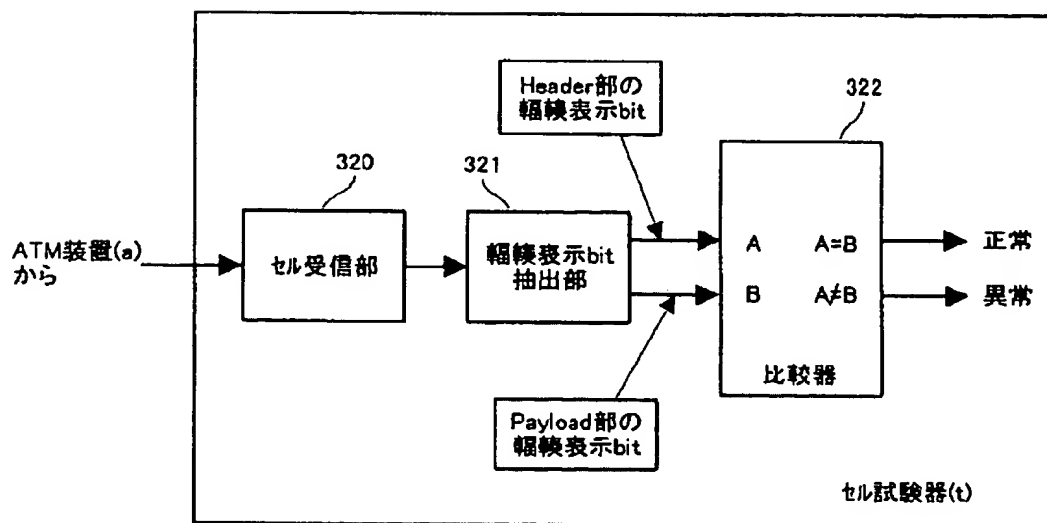


【図15】

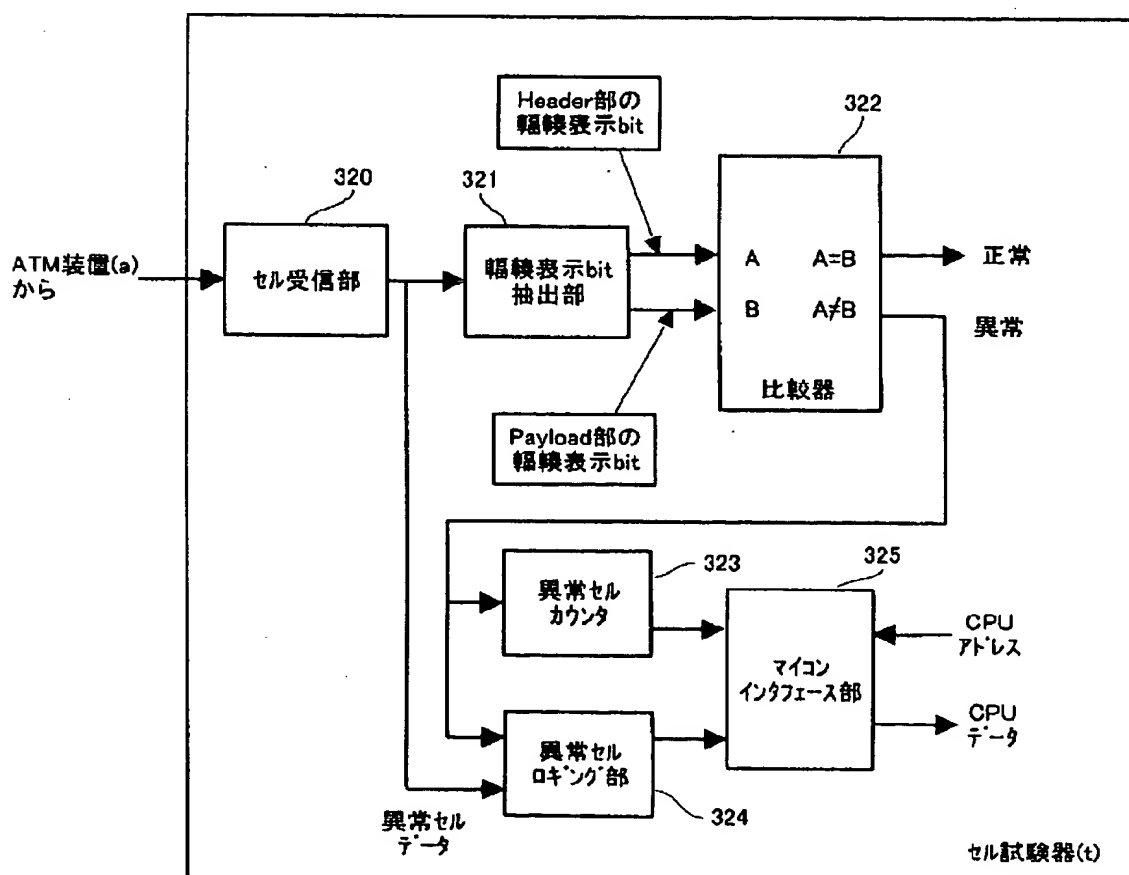




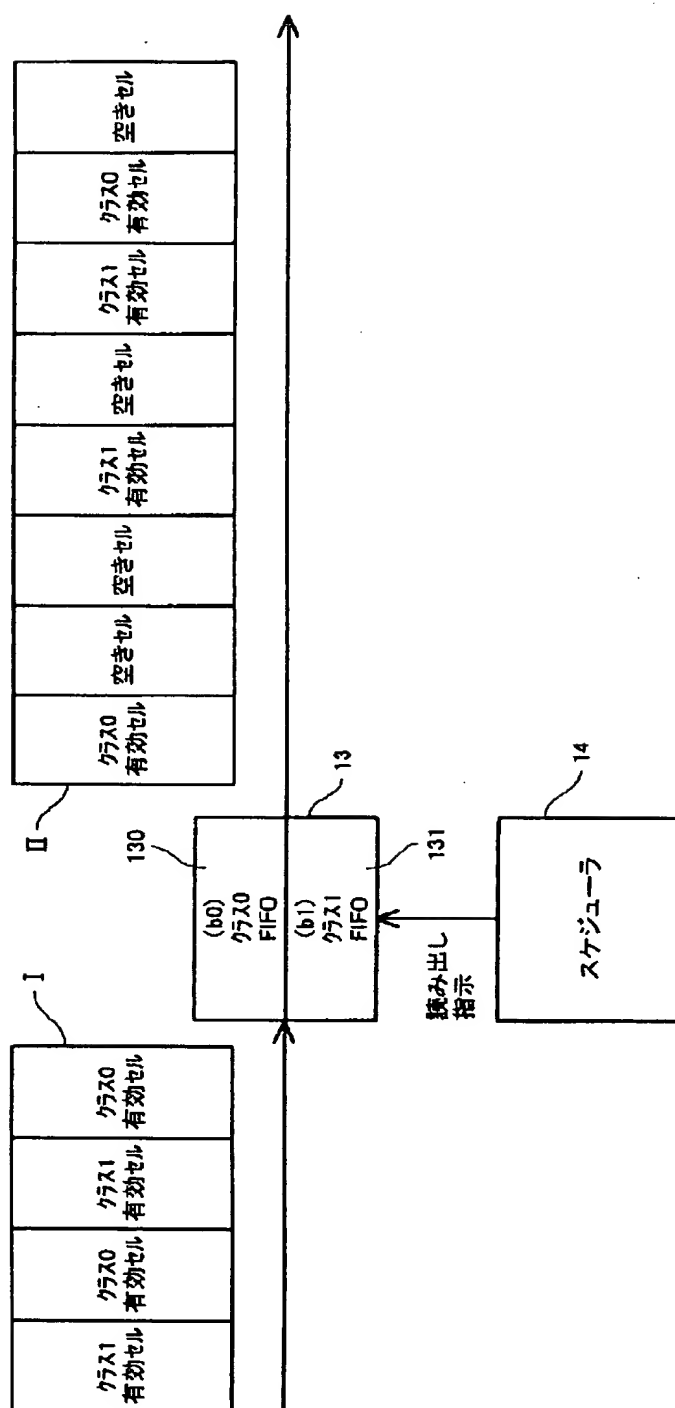
【図 1 6】



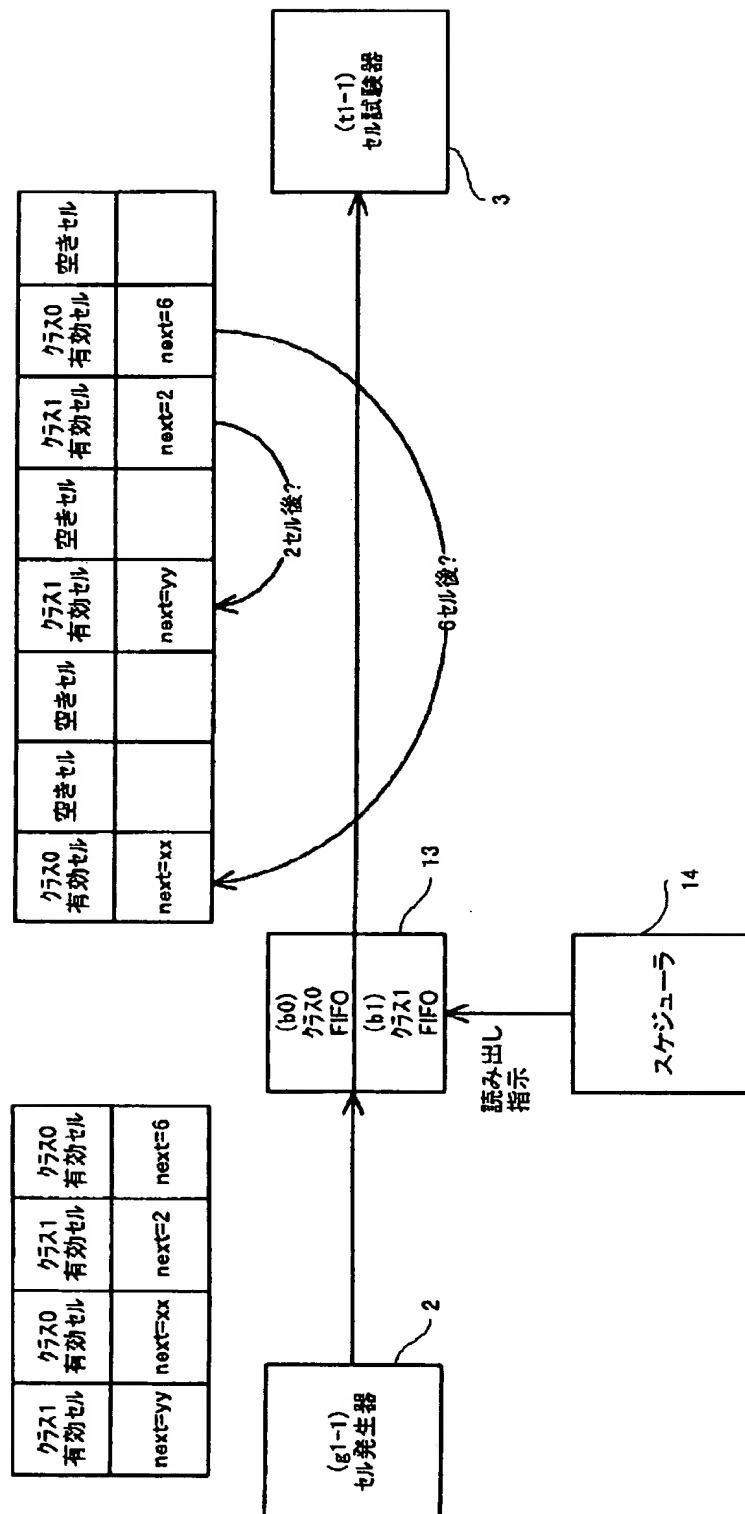
【図 1 7】



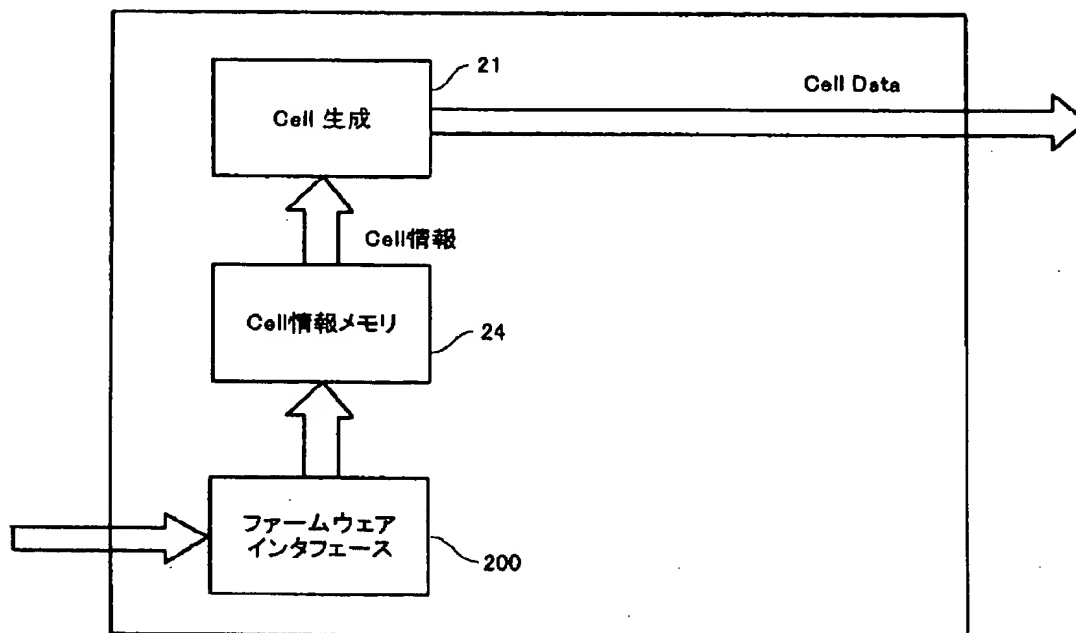
【図 18】



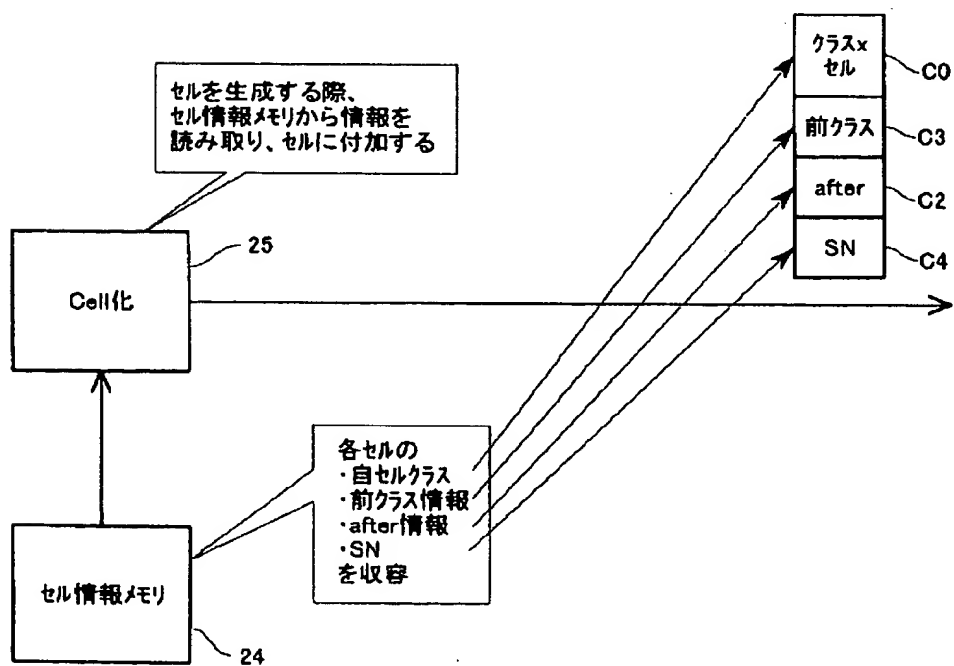
【図 19】



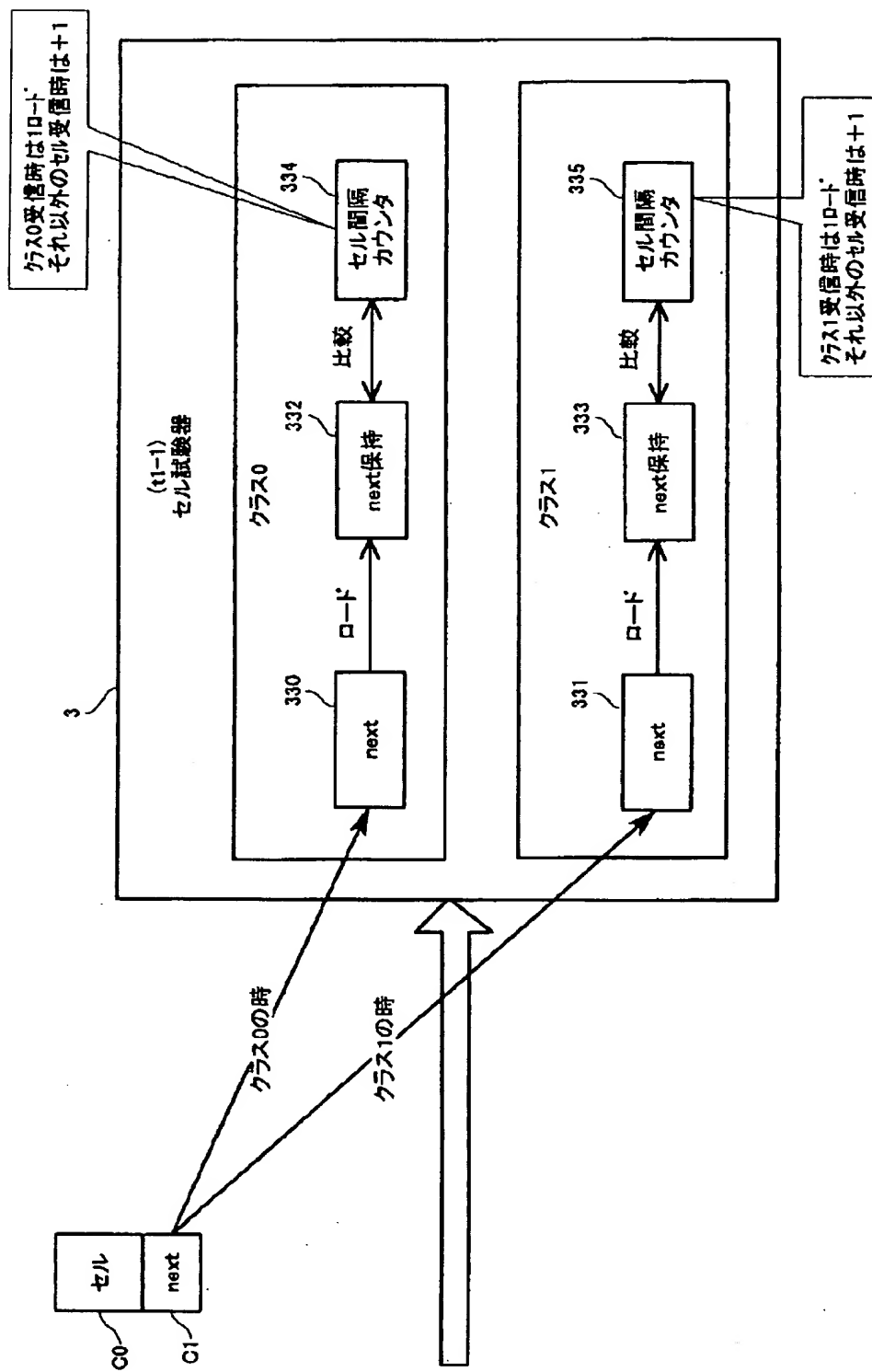
【図20】



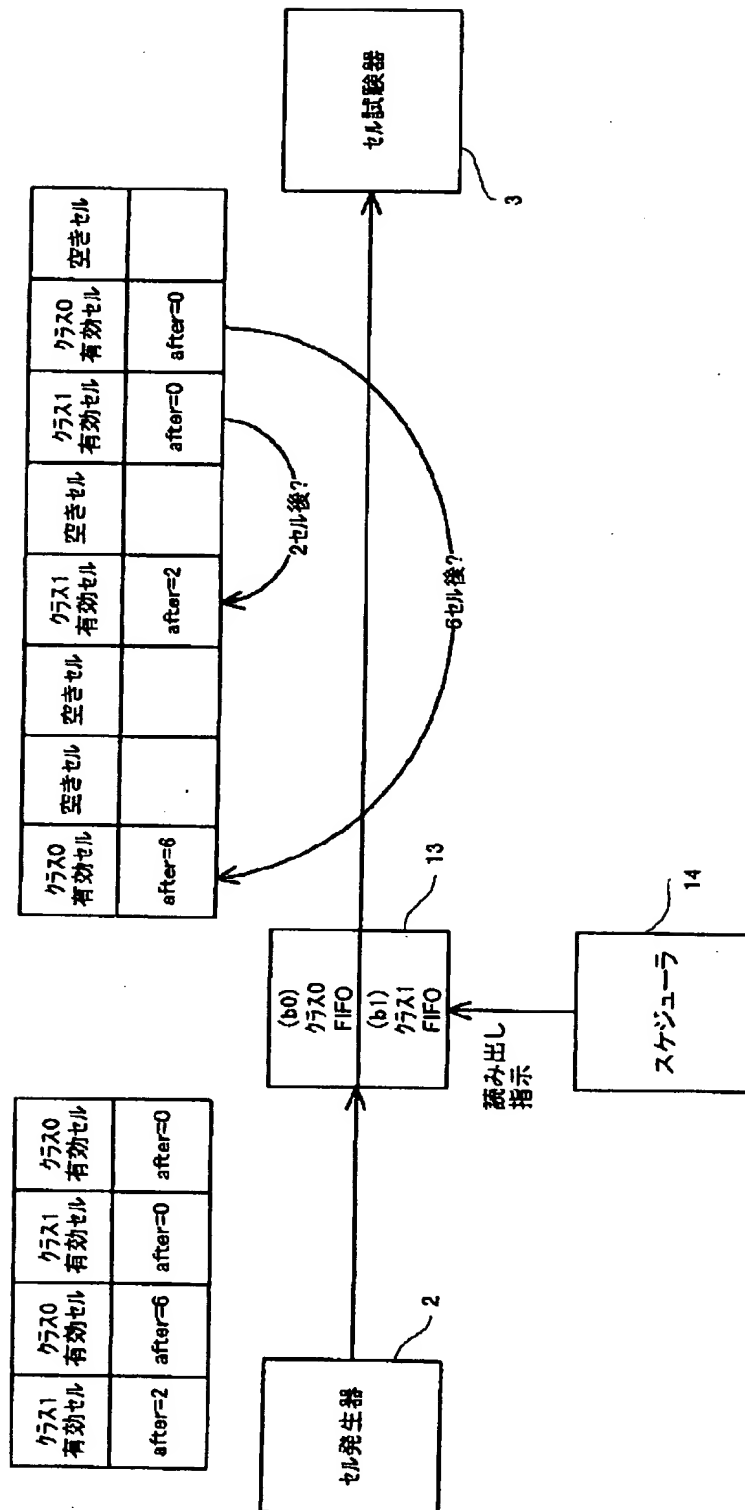
【図25】



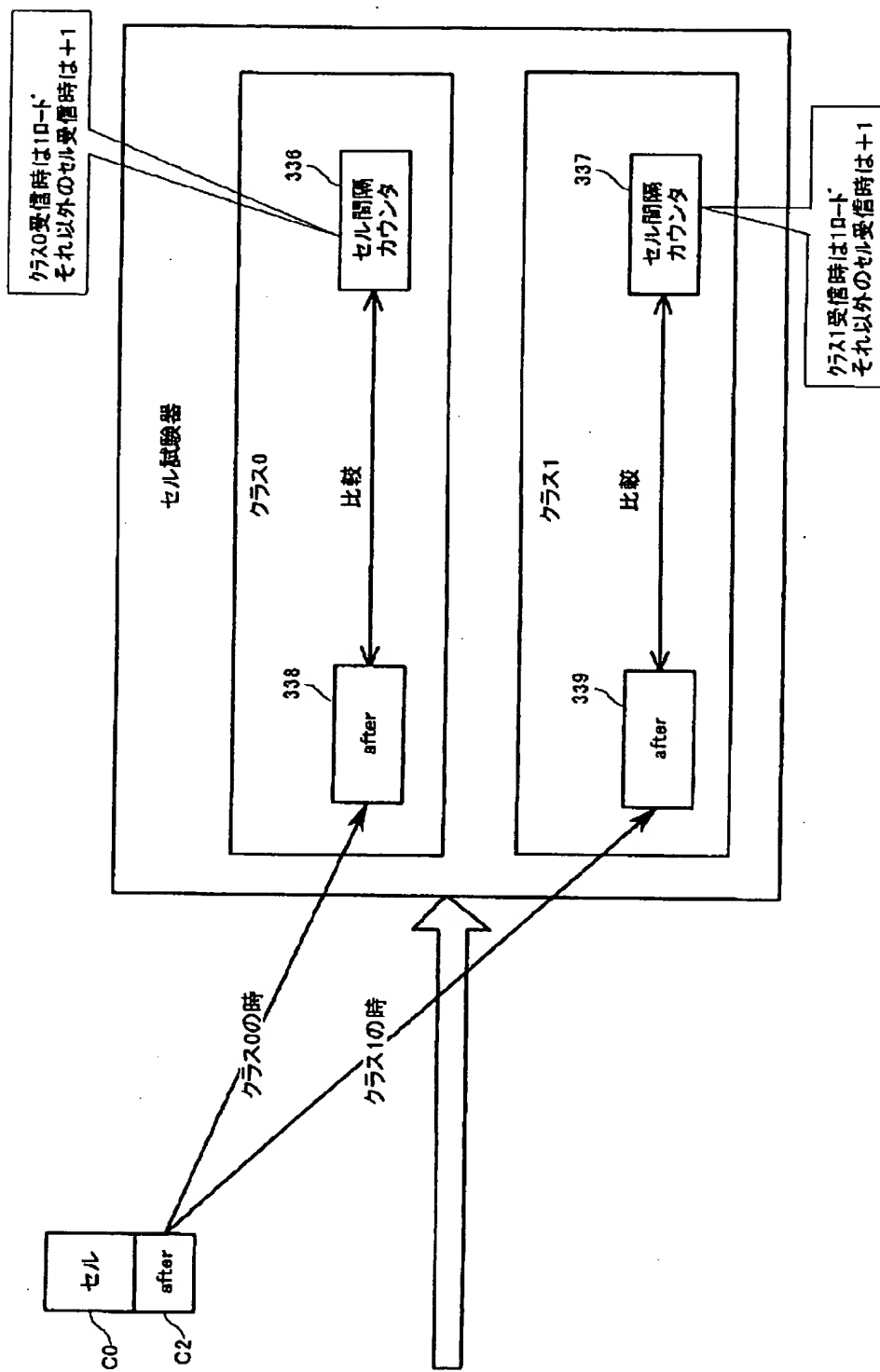
【図21】



【図22】

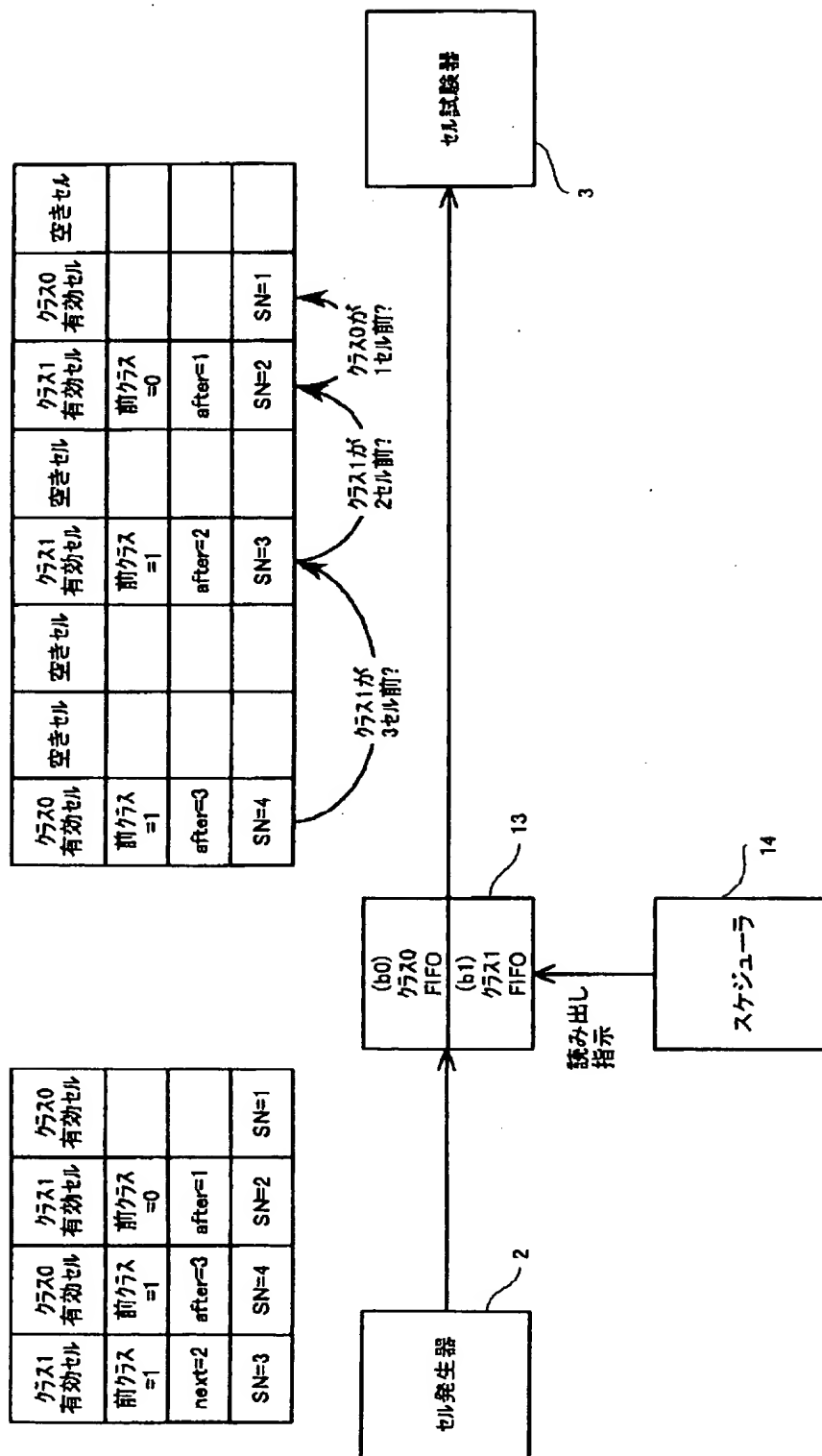


【図23】

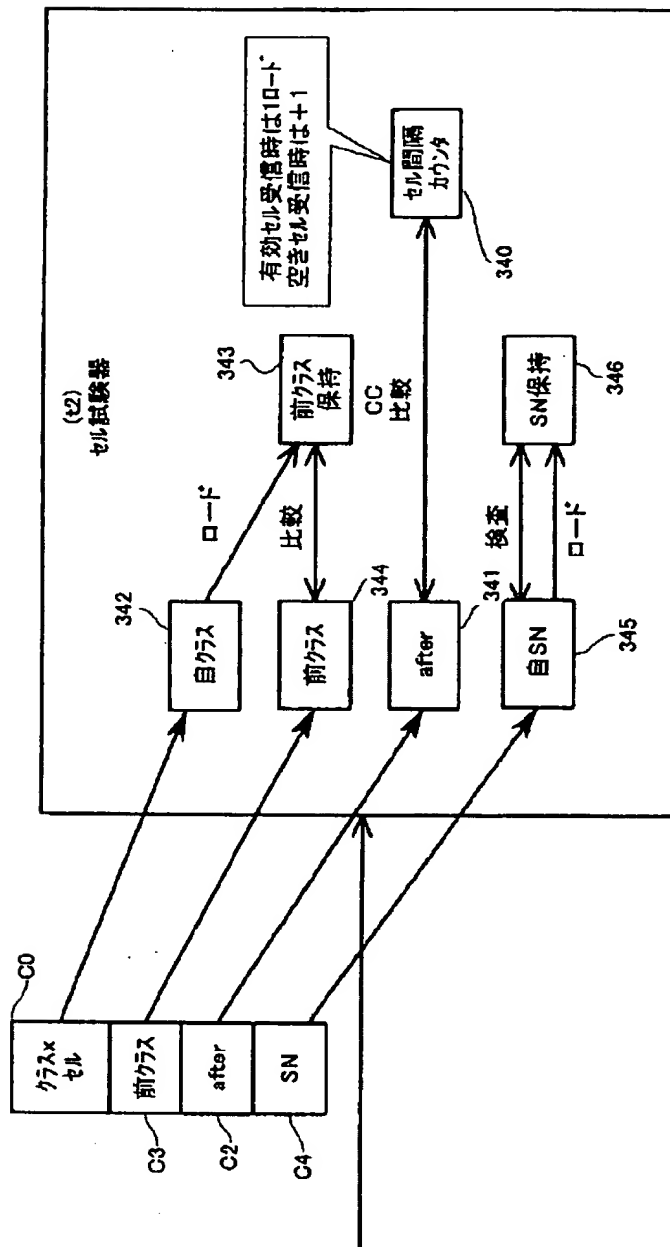




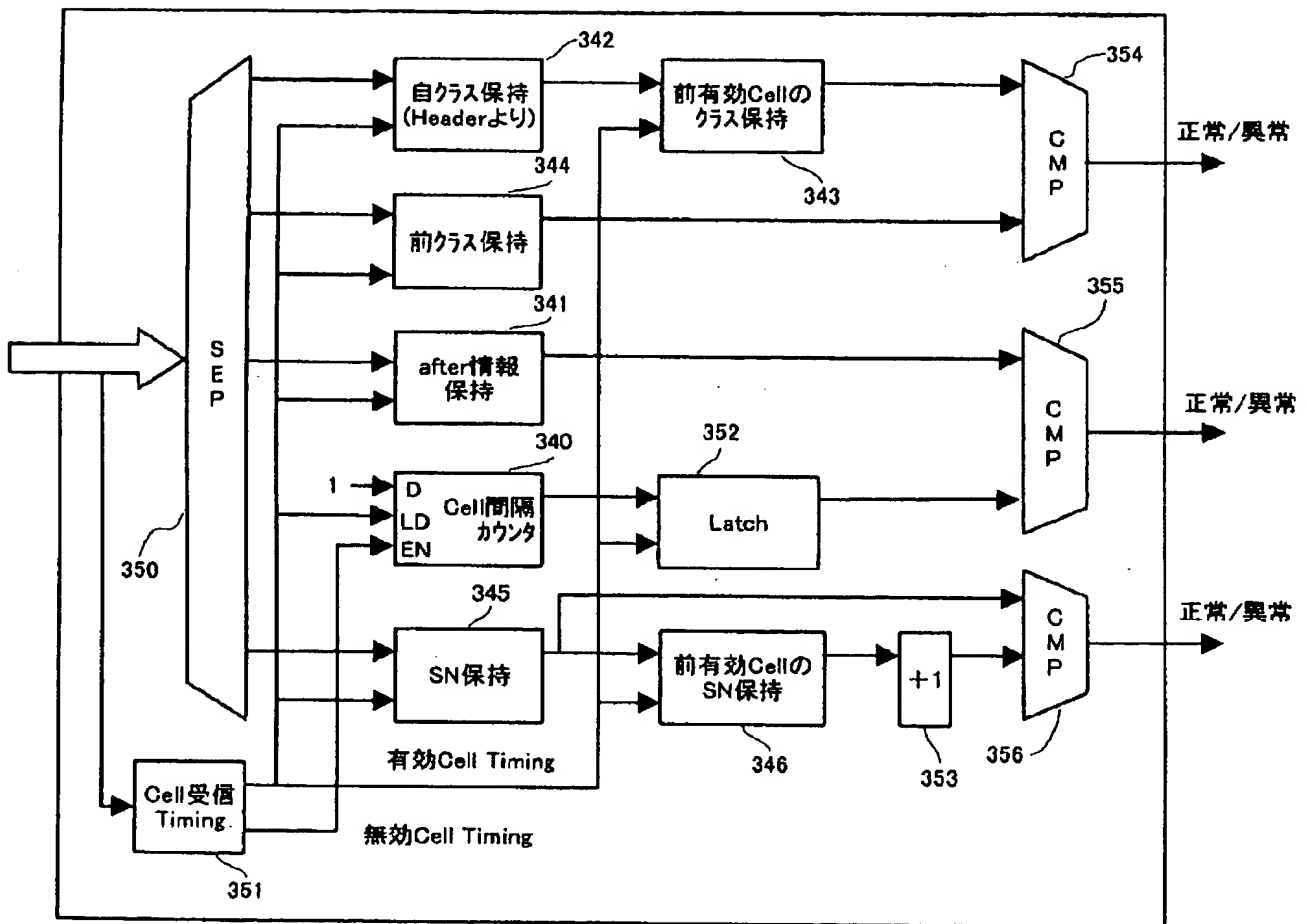
【図 24】



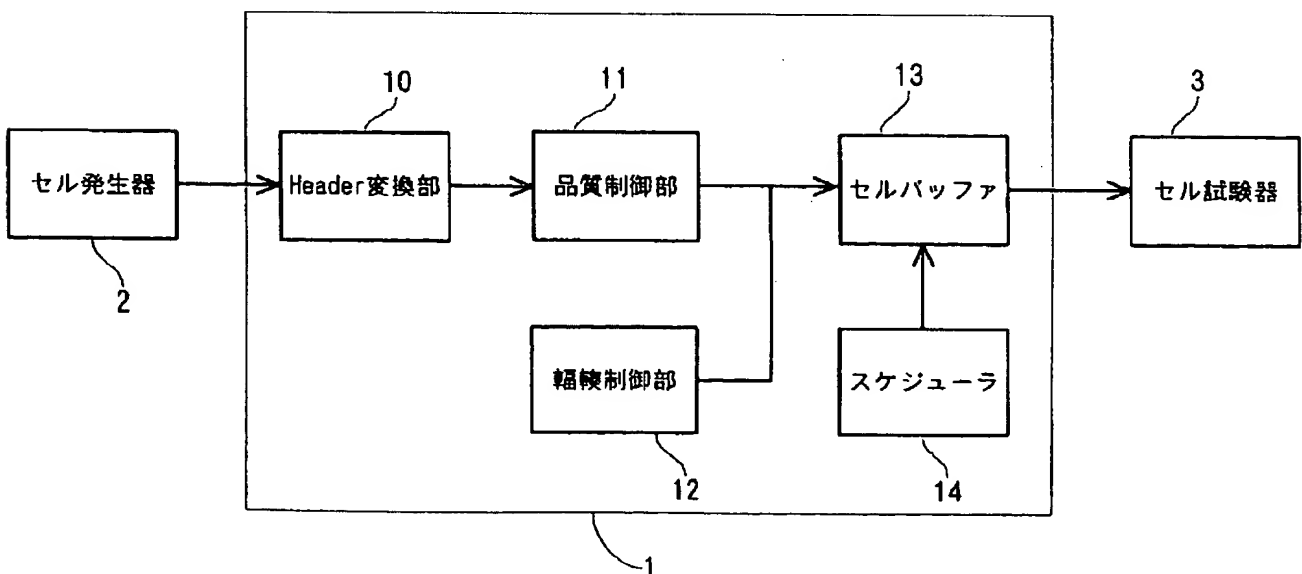
【図26】



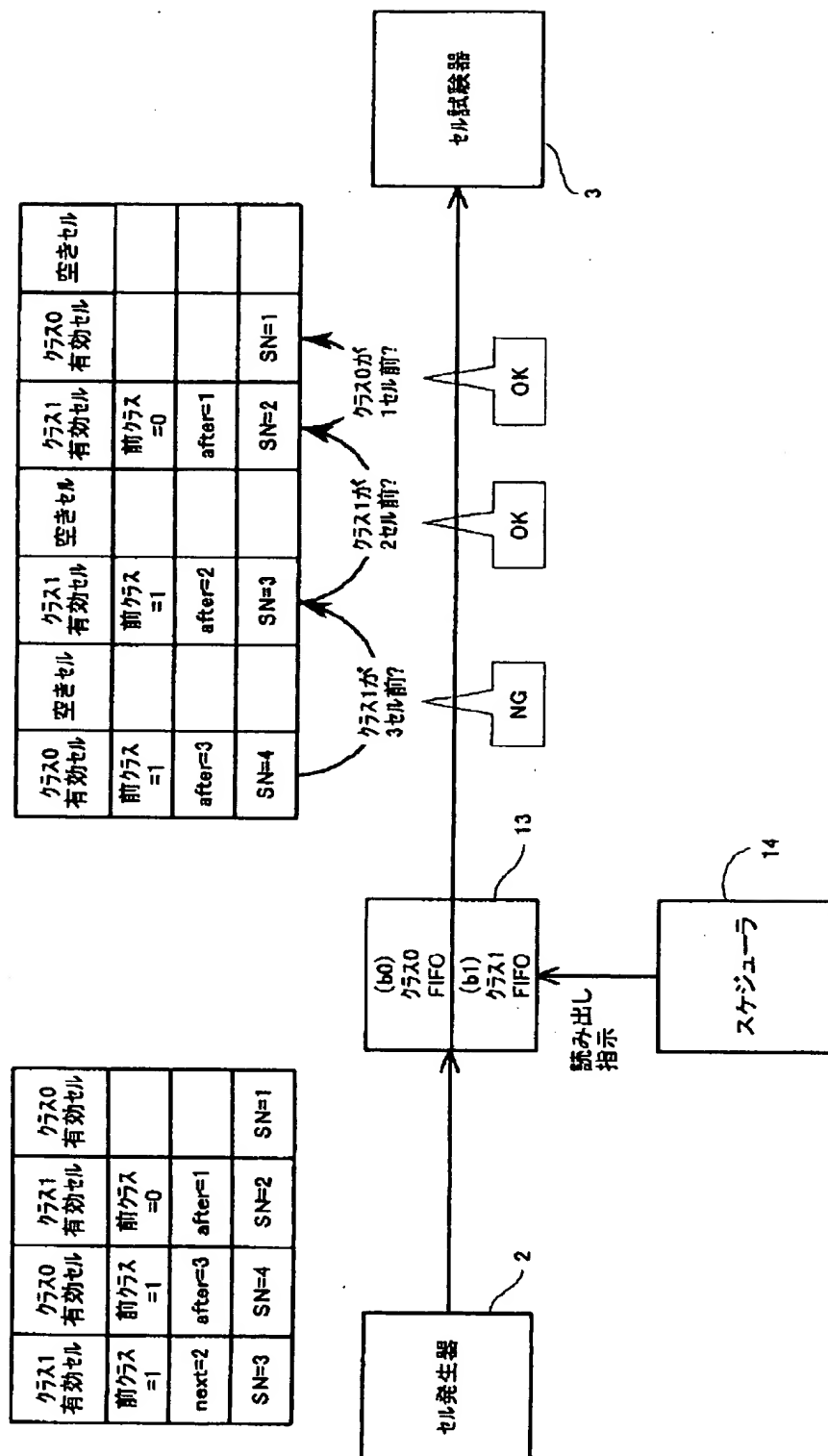
【図 27】



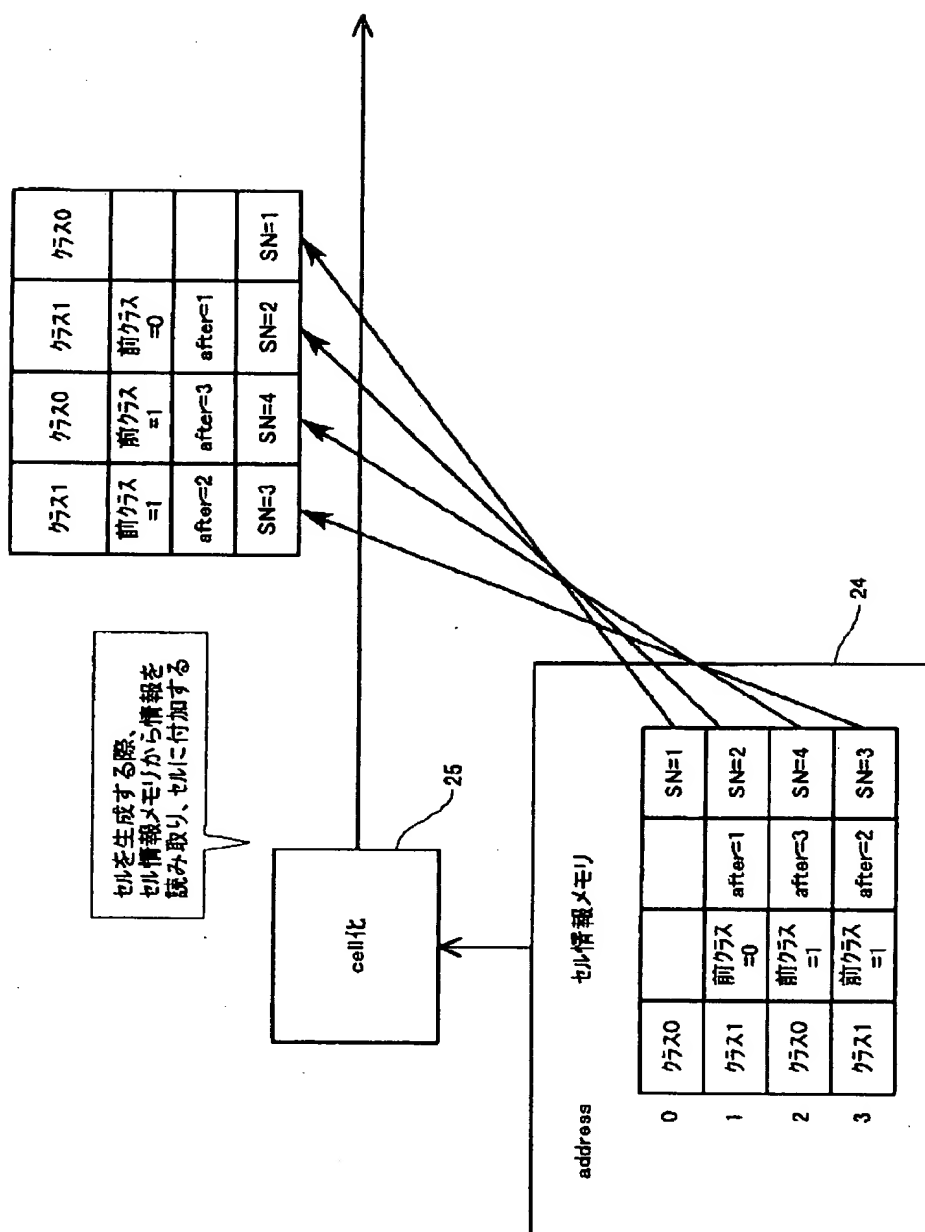
【図 36】



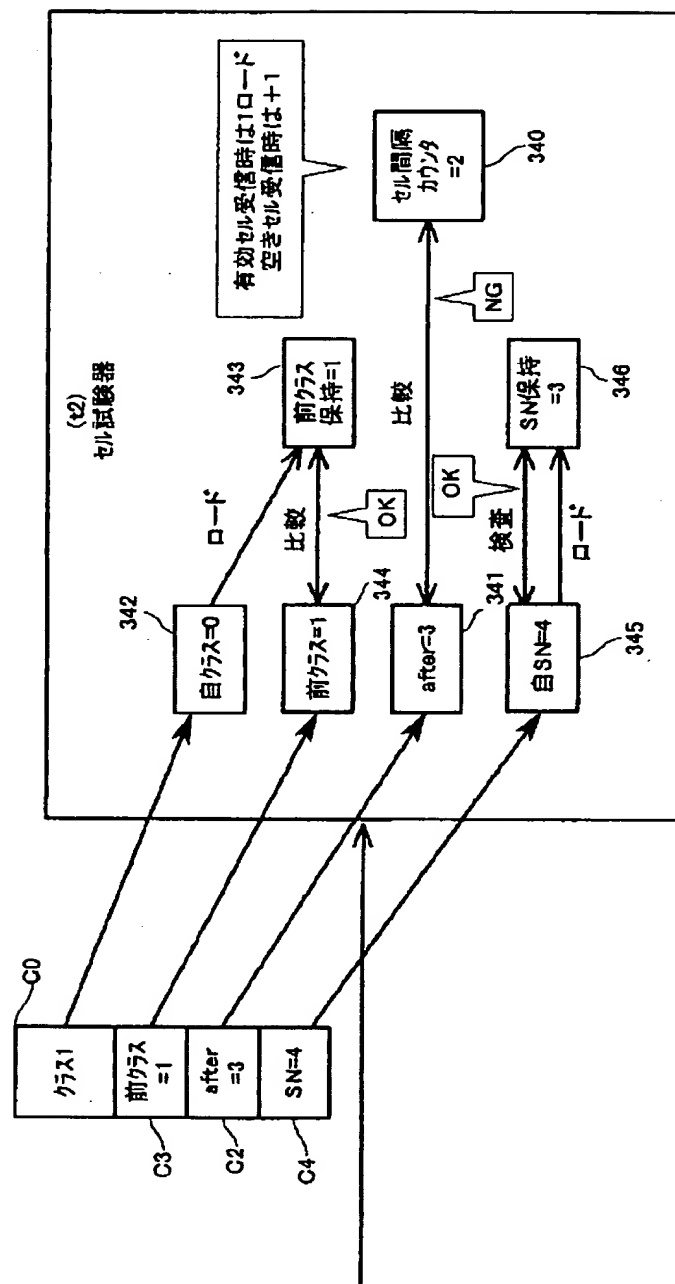
【図28】



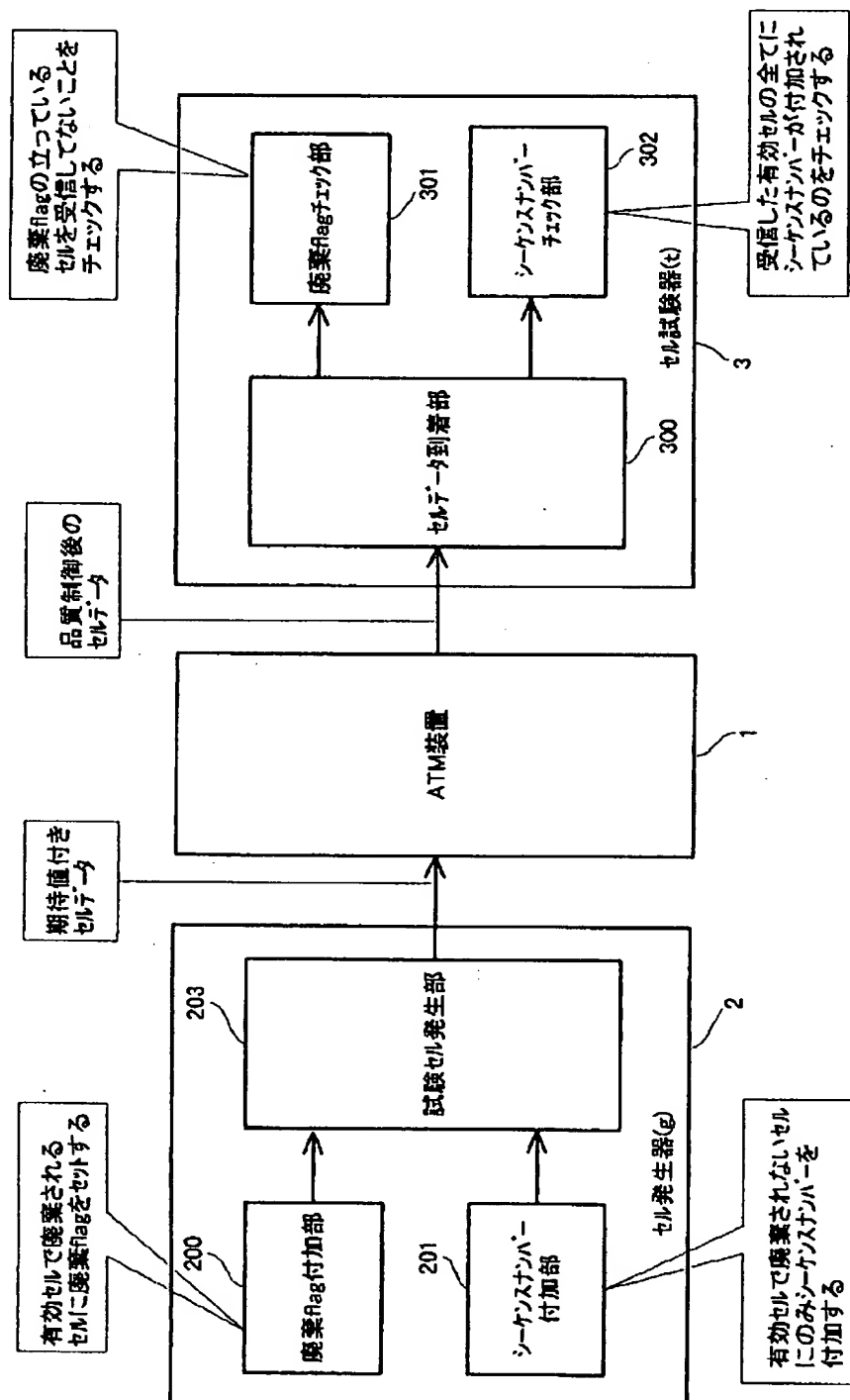
【図29】



【図30】

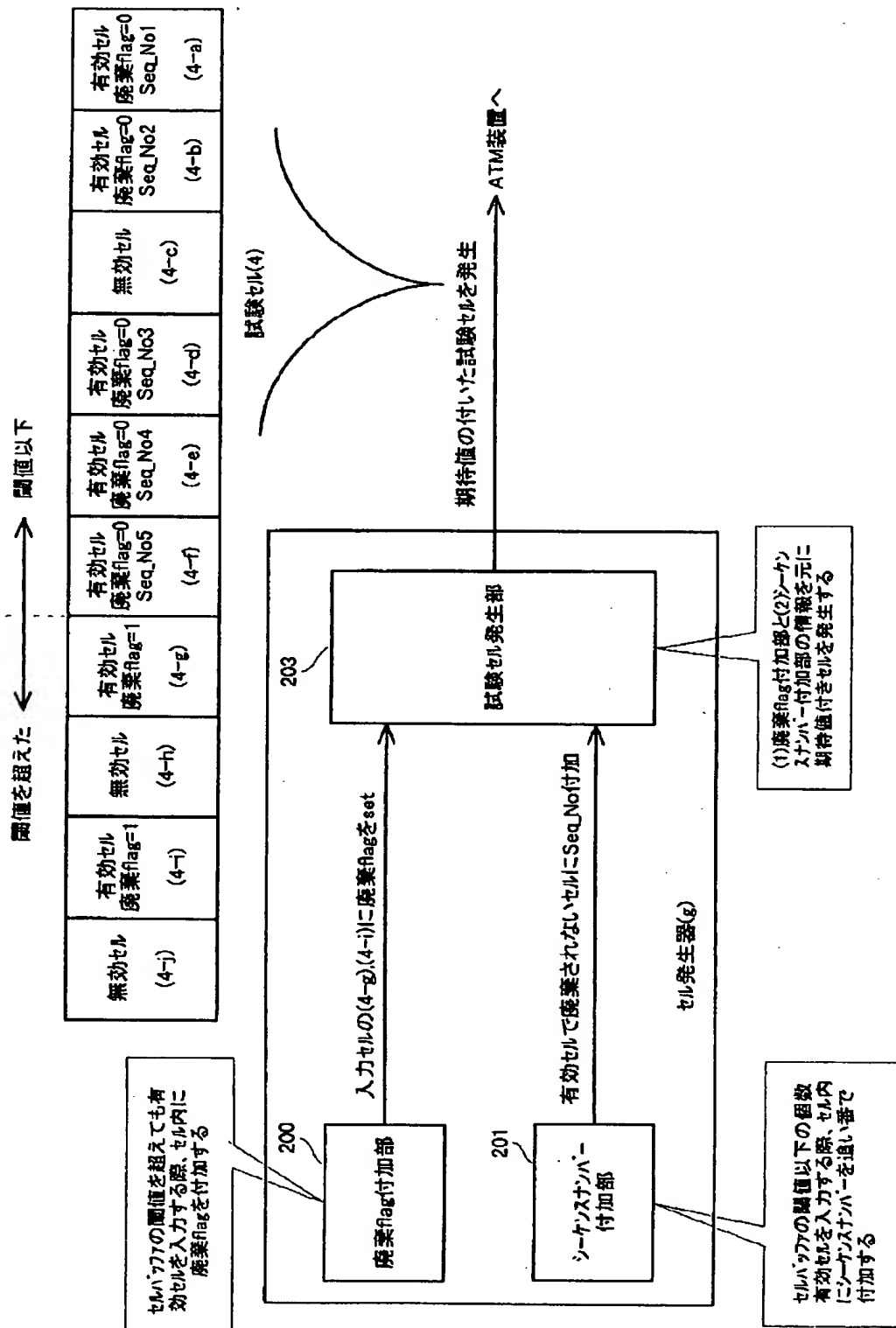


【図31】

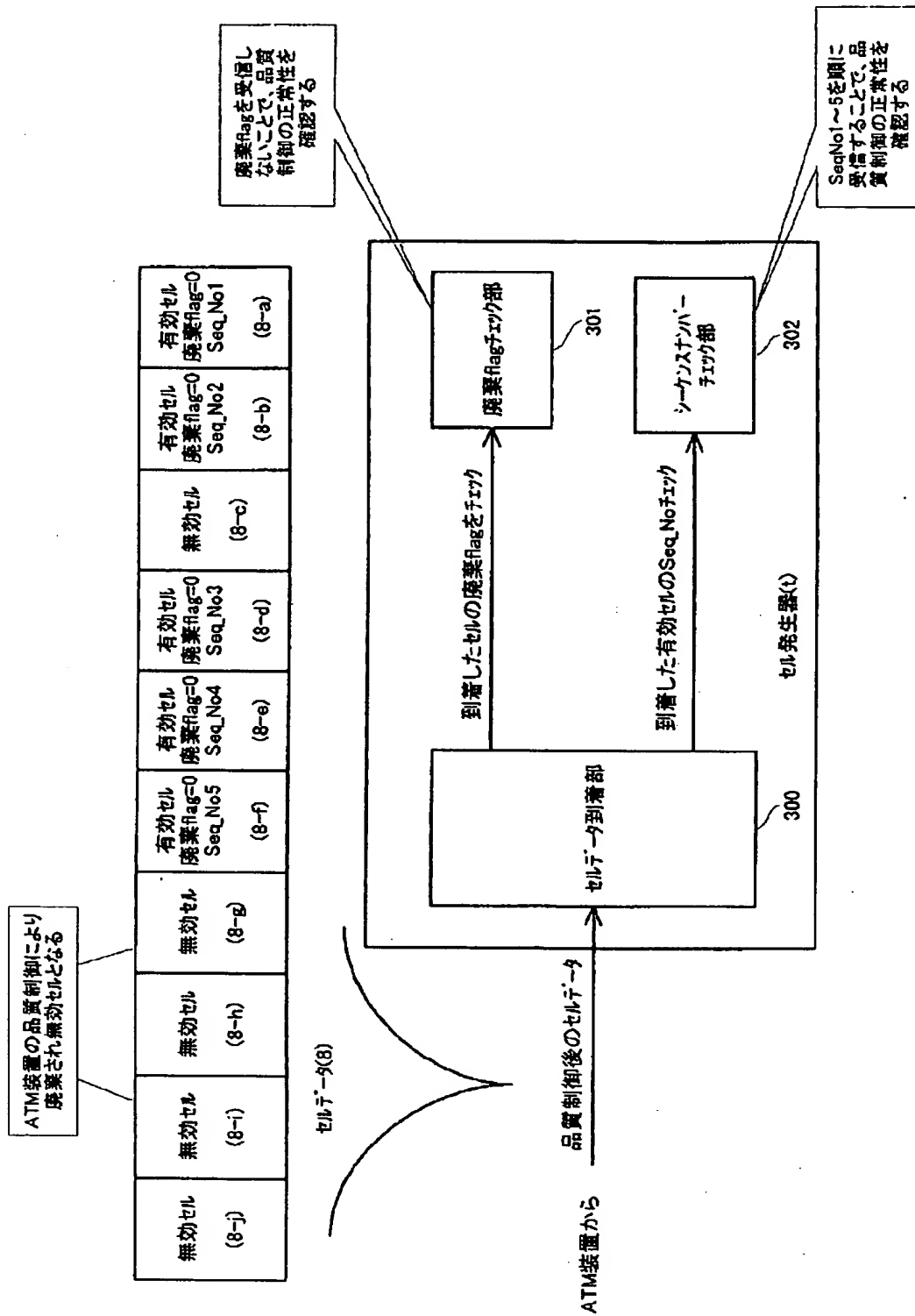




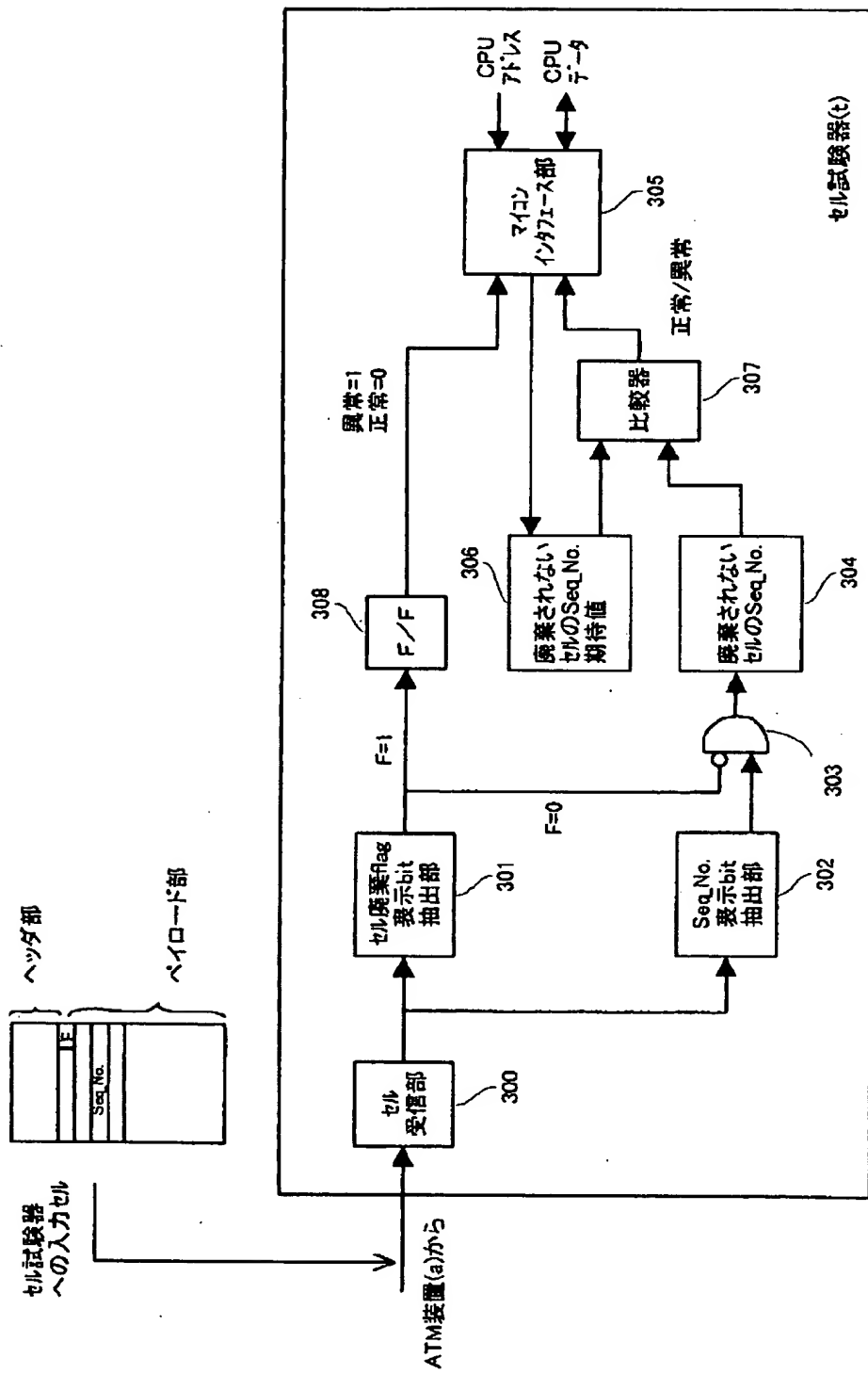
【図32】



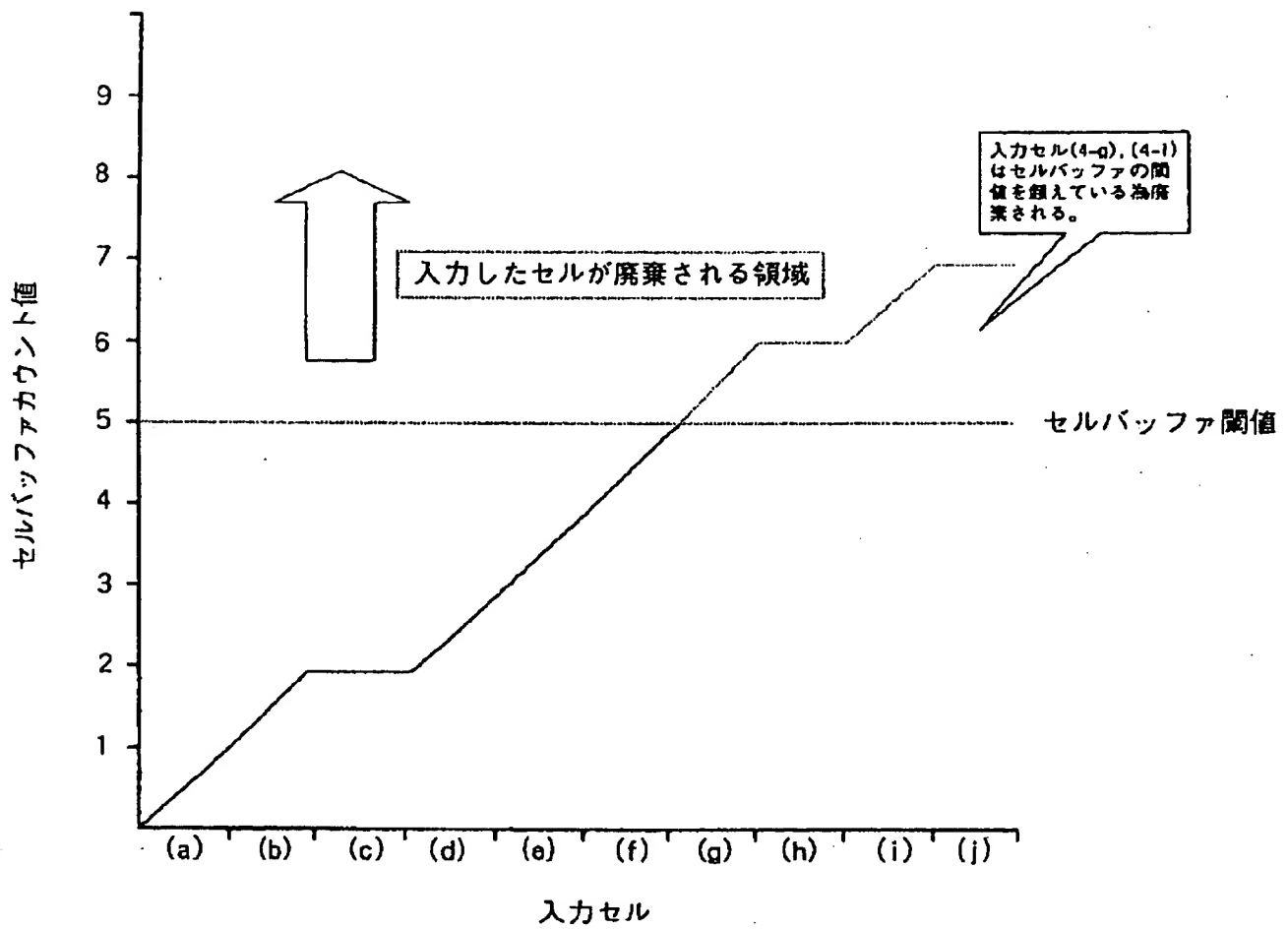
【図33】



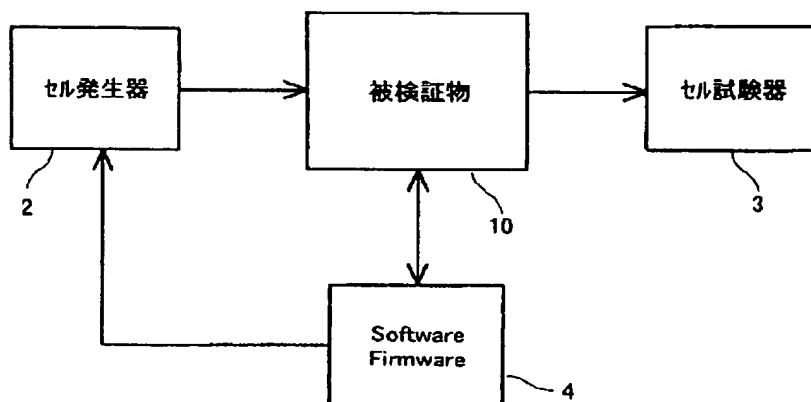
【図34】



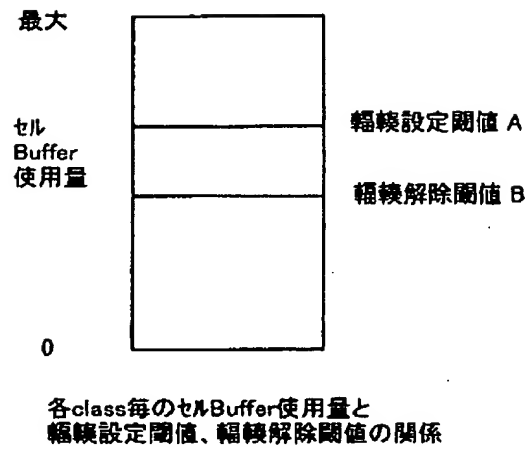
【図35】



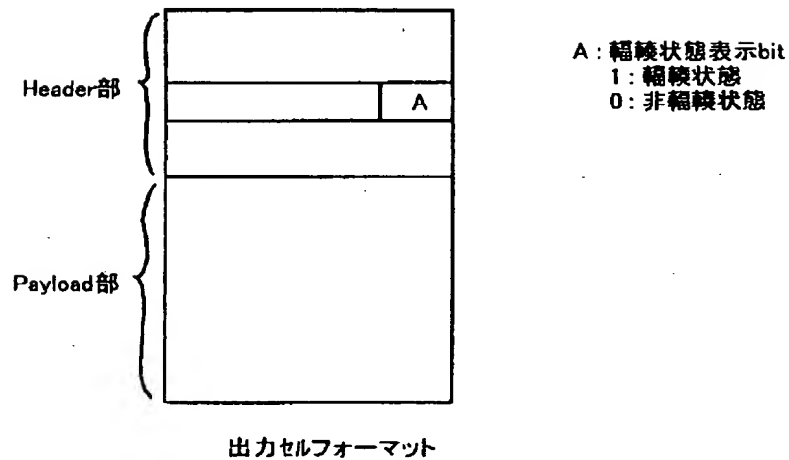
【図37】



【図 38】



(a)



(b)

フロントページの続き

(72) 発明者 若吉 光春  
福岡県福岡市博多区博多駅前三丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内

(72) 発明者 野崎 義和  
福岡県福岡市博多区博多駅前三丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内